

마이크로프로세서에 연결 가능한 CMOS LCD 디코더-구동회로의 설계

신윤권 · 이종화
전자공학과

<요 약>

마이크로프로세서에 연결 가능한 LCD 디코더-구동회로를 $3\mu\text{m}$ CMOS 단일 금속층 설계 규칙에 따라 표준셀방식으로 설계하였고 부분적으로 PLA 설계기법으로 설계하였다.

이 회로는 입력부, 디코더-구동부, LCD 후면 구동부의 3부분으로 나누어 구성하였으며, 각각의 기능블럭에 대한 논리시뮬레이션은 EDAS-P를 사용하여 검증하였으며, 회로시뮬레이션은 PSPICE를 사용하여 수행하였다. 칩 면적을 줄이기 위해 4-7 디코더 회로는 PLA 구조를 사용하여 코드 B 형식으로 4-비트 데이터를 7-세그먼트 표시로 디코딩하도록 설계하였다. 본 회로는 2개의 전원 핀을 포함하여 40개의 핀이 필요하다.

설계한 레이아웃 CIF 파일을 마스크 제조 웨이퍼가공 공정을 위해서 ETRI의 $3\mu\text{m}$ CMOS 공정라인에 의뢰하였다. 제작된 칩의 기능시험 결과는 ETRI 공정라인의 불안정성으로 전체적 기능은 동작하지 못하였다.

Design of CMOS LCD Decoder-Driver Interfacable to Microprocessor

Yun Gueon Shin · Jong Hwa Lee
Dept. of Electronic Engineering

<Abstract>

A CMOS LCD decoder - driver LSI interfacable to the microprocessor is designed by the standard cell design method and PLA structure under $3\mu\text{m}$ CMOS single poly single metal design rule.

The circuit is composed of three major parts ; input, decoder-driver and backplane driver. Each functional block is simulated by using EDAS-P for logic and by PSPICE

for circuit. The number of bonding pads of the circuit is forty. The four-to-seven decoder circuit for decoding the 4-bit data into a code B format is designed by using a PLA structure in order to reduce the chip area.

The resulting layout CIF file was sent to $3\mu\text{m}$ CMOS process line of ETRI for processing the mask and fabrication. Unfortunately, the function test of fabricated chip was impossible because the process line was very unstable and even the basic inverter circuit was not functioned properly.

1. 서 론

1980년대로 들어서면서 확산되기 시작한 VLSI 기술은 시스템설계 기술과 반도체 기술의 지속적인 향상으로 계속 발전하고 있으며, 서브미크론 기술에 의한 ULSI 실용화가 이루어지고 있다. 메모리IC, 로직IC 등의 분야에서 종래보다 특성이 좋은 다양한 반도체 소자가 등장하고 있으며, 최근에는 메모리IC와 로직IC를 하나의 칩으로 제작하는 기술이 나타나는 추세이다.[1] 산업 분야에서는 다품종 소량의 집적회로의 수요가 날로 증가하고 있다. 민수용 기기가 다양화되고 소형화되는 추세에 따라 저렴한 가격으로 설계의 자유도와 성능의 향상을 추구하기 위해서 특별 주문형 집적회로(Application Specific Integrated Circuit)의 수요가 증가하고 있다.[2]

이러한 특별 주문형 IC의 설계방법은 크게 게이트어레이, 표준셀 및 완전주문형 방식으로 구분되며 완전주문형 방식과 게이트어레이 방식의 중간 특성을 지닌 표준셀 방식은 소중규모의 집적 회로를 최적화 및 표준화한 회로블럭들의 데이터베이스를 개발해 두고 전용 틀로 배선함으로써 특정설계, 짧은 개발시간 및 고밀도의 소량 다품종의 제품개발을 가능케 하는 설계방식이다.[3]

본 연구에서 각각의 기능블럭에 대한 논리시뮬레이션은 전자통신연구소에서 개발한 EDAS-P를 사용하여 검증하였고, 회로시뮬레이션은 PSPICE를 사용하여 수행하였으며, 플롯트는 자체에서 개발한 틀을 이용하였다.

본 연구는 반 주문형이지만 완전 주문형에 근접하는 표준셀을 이용한 설계기법으로 마이크로프로세서에 연결 가능한 LCD 디코더-구동회로를 시뮬레이션하고 $3\mu\text{m}$ CMOS 단일 금속층 설계규칙에 따라 도면을 배치 설계하여 칩을 국산화 하는데 있다.

2. LCD 디코더-구동회로 구성 및 논리시뮬레이션

마이크로프로세서에 연결 가능한 4-7-세그먼트 LCD 디코더-구동회로의 전체 블럭도를 그림 1과 같이 구성하였다. 이 회로는 크게 3부분으로 나누어 구성하였는데, 입력부, LCD 후면 구동부, 디코더-구동부이다.

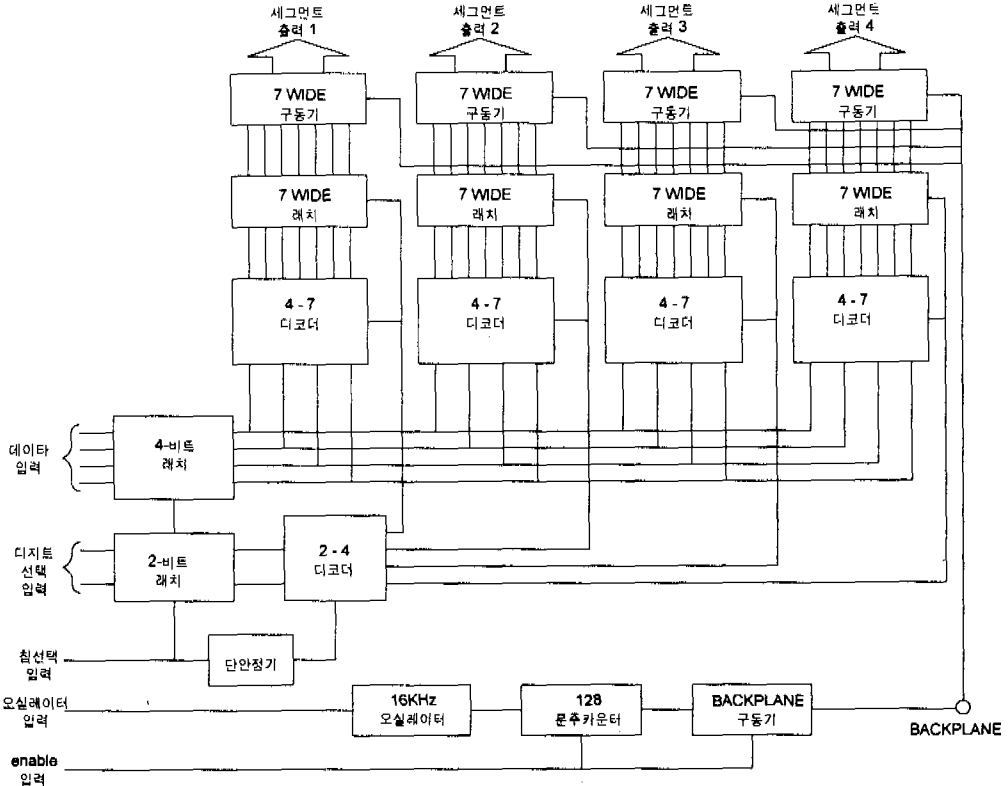


그림 1. 4-7-세그먼트 LCD 디코더-구동회로의 전체 블럭도

2.1. 입력부

입력부는 마이크로프로세서에서 4-비트의 데이터입력을 받아 이것을 임시 저장하는 역할의 4-비트 래치, 디지털 선택 신호를 임시 저장하는 2-비트 래치와 이 2-비트 데이터를 디지털 선택 신호로 바꾸는 2-4 디코더, 그리고 칩 선택을 위한 단안정기 회로로 구성되어 있다. 이 단안정기 부분은 아날로그 회로로 구성되어 있기 때문에 외부에서 공급해 주는 방식으로 변경하고 칩 내부에서는 인버터 게이트로 대체하여 구성하였다.

2.1.1. 2-비트 래치

그림 2는 2개의 D 플립플롭으로 구현한 2-비트 래치 회로를 나타내고 있다.[4]

이 회로는 마이크로프로세서에서 보내진 두 비트의 디지털 선택 신호를 받아 칩 선택 신호가 "1"일 때 저장된 데이터를 2-4 디코더로 보내는 역할을 한다. 4-비트 래치는 2-비트 래치 두개를 병렬로 연결한 것과 같다.

그림 3은 EDAS-P로 논리시뮬레이션해 본 결과의 타이밍 다이어그램이다.

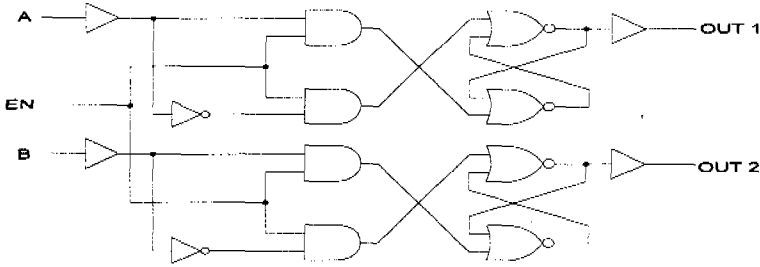


그림 2. 2-비트 래치 회로

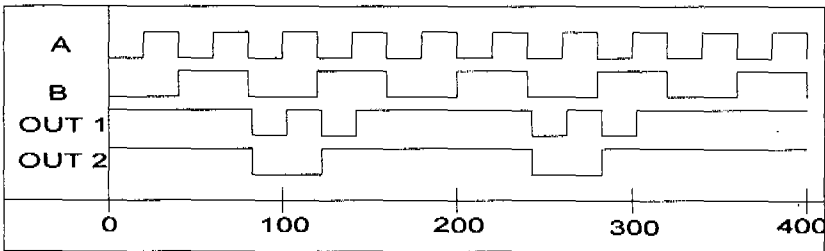


그림 3. 2-비트 래치 회로의 타이밍 다이어그램

2.1.2. 2-4 디코더

그림 4는 논리 게이트로 구성된 2-4 디코더 회로를 나타낸 것이다.[4]

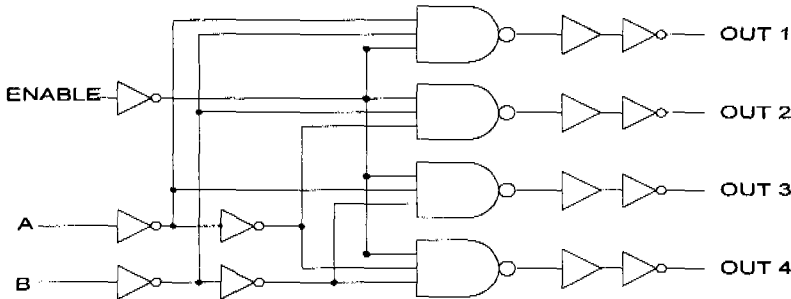


그림 4. 2-4 디코더 회로

이 회로의 기본적인 동작은 2개의 입력 A, B에 따라 이네이블이 “0”일 때 4개의 출력 중에서 하나가 “1”이고 나머지 3개는 “0”이 되어 “1”출력만 선택하는 것이다.

표 1.은 이 디코더 회로에 대한 진리표를 보여주고 있다.

표 1. 2-4 디코더 회로의 진리표

ENAB LE INPUT	SELEC T INPUT		OUTPUTS			
	EN	B	A	OUT1	OUT2	OUT3
1	X	X	0	0	0	0
0	0	0	1	0	0	0
0	0	1	0	1	0	0
0	1	0	0	0	1	0
0	1	1	0	0	0	1

2.1.3. 단안정기 회로

단안정기 회로는 외부의 입력이 "0"에서 "1"로 변하는 순간 펄스를 발생하는 회로이다. 단안정기 회로의 동작은 칩 선택 단자로부터 입력된 신호를 받아서 2-4 디코더를 이네이블 시키는 역할을 한다.

그림 5는 단안정기 회로를 나타내었는데 제일 앞 단의 인버터의 역할은 마이크로프로세서에서 들어오는 칩 선택 신호가 "0"에서 "1"로 바뀔 때 같은 입력을 받는 2-비트 래치와 4-비트 래치가 동작하므로 이때 단안정기 회로가 동작할 수 있기 위함이다.

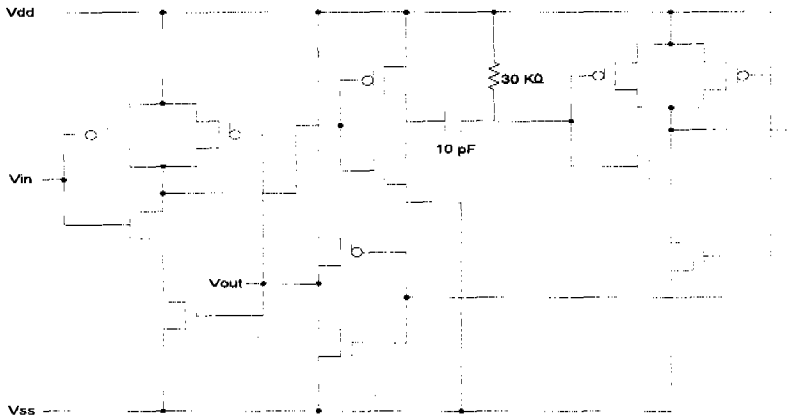


그림 5. 단안정기 회로

본 연구에서는 단안정기 회로의 저항과 커패시터의 레이아웃 면적의 문제로 칩 외부에서 직접 연결하는 방법으로 대처하여 설계하였다.

2.2. LCD 후면 구동부

LCD 후면 구동부는 그림 1의 아래부분으로 약 16KHz 링 오실레이터, 128분주 카운터, LCD 후면 구동회로로 구성된다.

2.2.1. 링 오실레이터

링 오실레이터 회로는 오실레이터 입력단자의 신호에 관계없이 발진 동작하도록 설계되었다. 이 회로는 커패시터와 인버터로 구현되는데 인버터를 홀수개 직렬 연결하여 발진 주파수를 만들었다. 즉, 인버터를 n 단(n 는 홀수) 연결함으로써 첫번째단 인버터와 n 단 인버터의 동작시간의 불균형 (n 번째 단의 인버터가 부하단으로 작용)을 이용하여 발진 주파수를 추출해내는 방법이다.[5] 링 오실레이터 회로에서 6,7,8단의 출력에만 20pF 커패시턴스들을 이용하여 2.22MHz를 갖는 발진주파수를 검출했다. 그리고 7,8,9단에 트랜지스터의 폭을 넓혀 주어서 부하의 균형을 맞추었다.[6] 그런데 실제 레이아웃에서는 아날로그회로에 대한 마스크 공정이 제공되지 않아 레이아웃하지 않고 칩 외부의 클럭 발생기로부터 신호를 공급받는 방식으로 변경하였다.

2.2.2. 128분주 카운터

128분주 카운터 회로는 리셋을 갖는 D 플립 플롭을 연속으로 연결하여 구현하였다.

카운터는 비동기식과 동기식 카운터로 구분할 수 있는데 비동기식 카운터는 첫 비트의 클럭 신호가 최종 비트의 상태에 영향을 미칠 때까지의 시간이 소요되기 때문에 안정된 결과가 그만큼 늦게 나타나 속도가 느린 단점이 있지만 동기식 카운터에 비하여 회로가 간단하고 표준셀을 이용할 수 있는 장점이 있다.[7]

2.2.3. LCD 후면 구동회로

LCD 후면 구동회로는 배타적 NOR 게이트로 구성된다.[8] 칩 외부에서 공급하는 16KHz 발진주파수는 128분주 카운터를 거치면 125Hz의 발진주파수가 되는데 이것이 배타적 NOR 게이트의 입력으로 작용하며 그림6에서 나타낸 것처럼 제어선(Control line)에 연결되어 있는 이네이블 핀 입력의 값에 따라 ON/OFF가 된다.

LCD 후면 구동회로는 제어선이 "0"일 때 동작을 하는데 128분주 카운터와 LCD 후면 구동회로 사이에 2-입력 NAND 게이트를 연결하여 이네이블 핀 입력이 "1"일 때 원하는 출력이 7 와이드 구동회로의 공통된 LCD 후면 입력으로 동작하게 된다.

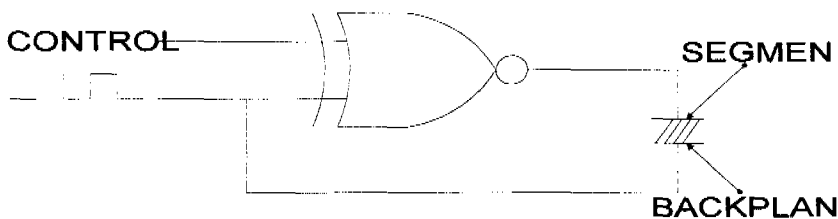


그림 6. LCD 후면 구동회로

2.3. 디코더-구동부

디코더-구동부는 그림 1의 윗 부분으로 4-비트의 데이터 입력을 받아 7-세그먼트 디스플레이의 코드 B 형식으로 디코딩하는 4-7 디코더와 이것의 출력 값을 임시 기억하는 역할의 7 와이드 래치, 그리고 7와이드 래치의 출력 값을 구동시키는 7 와이드 구동회로로 구성된다.

4-7 디코더는 AND 플레인과 OR 플레인으로 구성된 PLA로 구성했다.[9]

2.3.1. 4-7 디코더

그림 7은 4-7 디코더 회로를 나타낸 것이다. 이 회로의 동작은 4-비트 래치로부터 4-비트의 데이터입력을 받아 2-4 디코더의 출력이 "1"일 때 입력을 코드 B형식에 맞는 출력으로 변환시켜 7 와이드 래치에 보내는 역할을 한다.[6]

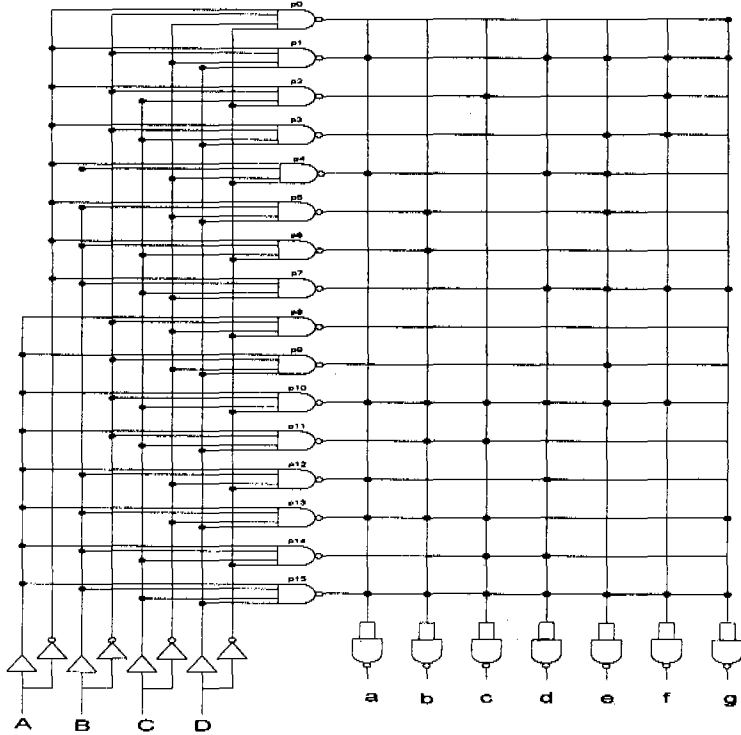


그림 7. 4-7 디코더 회로

이 코드 B 형식의 출력과 진리표를 표 2와 같이 나타내었다.

표 2. 코드 B 형식의 출력과 진리표

BINARY INPUT				CODE B	SEVEN SEGMENT						
D	C	B	A	OUTPUT	a	b	c	d	e	f	g
0	0	0	0	0	0	0	0	0	0	0	1
0	0	0	1	1	1	0	0	1	1	1	1
0	0	1	0	2	0	0	1	0	0	1	0
0	0	1	1	3	0	0	0	0	1	1	0
0	1	0	0	4	1	0	0	1	1	0	0
0	1	0	1	5	0	1	0	0	1	0	0
0	1	1	0	6	0	1	0	0	0	0	0
0	1	1	1	7	0	0	0	1	1	0	1
1	0	0	0	8	0	0	0	0	0	0	0
1	0	0	1	9	0	0	0	0	1	0	0
1	0	1	0	-	1	1	1	1	1	1	0
1	0	1	1	E	0	1	1	0	0	0	0
1	1	0	0	H	1	0	0	1	0	0	0
1	1	0	1	L	1	1	1	0	0	0	1
1	1	1	0	P	0	0	1	1	0	0	0
1	1	1	1	blank	1	1	1	1	1	1	1

표 2로부터 논리함수는 아래와 같다.

$$a = \overline{A}\overline{B}\overline{C}\overline{D} + \overline{A}\overline{B}C\overline{D} + \overline{A}B\overline{C}\overline{D} + \overline{A}BC\overline{D} + \overline{A}BCD + ABCD$$

$$b = \overline{A}\overline{B}\overline{C}\overline{D} + \overline{A}\overline{B}C\overline{D} + \overline{A}B\overline{C}\overline{D} + \overline{A}B\overline{C}D + \overline{A}BC\overline{D} + ABCD$$

$$c = \overline{A}\overline{B}\overline{C}\overline{D} + \overline{A}B\overline{C}\overline{D} + \overline{A}B\overline{C}D + \overline{A}BC\overline{D} + \overline{A}BCD + ABCD$$

$$d = \overline{A}\overline{B}\overline{C}\overline{D} + \overline{A}\overline{B}C\overline{D} + \overline{A}B\overline{C}\overline{D} + \overline{A}B\overline{C}D + \overline{A}BC\overline{D} + \overline{A}BCD + ABCD$$

$$e = \overline{A}\overline{B}\overline{C}\overline{D} + \overline{A}B\overline{C}\overline{D} + \overline{A}B\overline{C}D + \overline{A}BC\overline{D} + \overline{A}BCD + \overline{A}\overline{B}\overline{C}\overline{D} + \overline{A}\overline{B}\overline{C}D + ABCD$$

$$f = \overline{A}\overline{B}\overline{C}\overline{D} + \overline{A}B\overline{C}\overline{D} + \overline{A}B\overline{C}D + \overline{A}BC\overline{D} + ABCD$$

$$g = \overline{A}\overline{B}\overline{C}\overline{D} + \overline{A}\overline{B}\overline{C}\overline{D} + \overline{A}B\overline{C}\overline{D} + \overline{A}BC\overline{D} + ABCD$$

3. 도면 설계

모든 회로 시뮬레이션은 ETRI에서 제공한 공정 모델 변수를 이용하여 IBM PC에서 PSPICE2G1을 사용하여 수행하였다.

3.1. 기본 인버터 도면설계

그림 8은 CMOS 기본 인버터 회로이다. 여기서 PMOS와 NMOS의 W/L은 $3\mu\text{m}$ 설계규칙을 만족하는 최소 선폭과 길이를 나타낸 것이다.

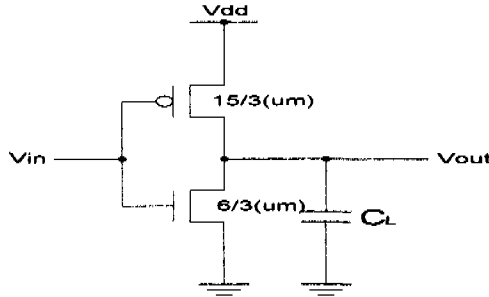


그림 8. CMOS 기본 인버터

인버터의 상승시간, 하강시간 및 평균 지연시간은 다음과 같다.[10]

$$t_r = 2 \times C_L / \beta_n(V_{dd} - V_{tn}) \times [(V_{tn} - 0.1V_{dd}) / (V_{dd} - V_{tn}) + 1 / 2 \times \ln((19V_{dd} - 20V_{tn}) / V_{dd})]$$

만일 $V_{tn} = 0.2V_{dd}$ 일때 t_r 는 간단히

$$t_r = 4 C_L / (\beta_n \times V_{dd})$$

$$t_f = 2 \times C_L / \beta_p(V_{dd} - |V_{tp}|) \times [(|V_{tp}| - 0.1V_{dd}) / (V_{dd} - |V_{tp}|) + 1 / 2 \times \ln((19V_{dd} - 20|V_{tp}|) / V_{dd})]$$

마찬가지로 $|V_{tp}| = 0.2V_{dd}$ 일때 t_f 은 간단히

$$t_f = 4 C_L / (\beta_p \times V_{dd})$$

하나의 단일게이트의 지연시간을 표시하면

$$t_{dr} = t_r / 2$$

$$t_{df} = t_f / 2$$

$$t_{av} = (t_{dr} + t_{df}) / 2$$

$$= (t_r + t_f) / 4$$

여기서

$$V_{dd} = \text{Supply voltage}$$

V_{tp} = PMOS threshold voltage

V_{tn} = NMOS threshold voltage

β_p = PMOS gain factor(= $\mu_p \times C_{ox} \times W_p / L_p$)

β_n = NMOS gain factor(= $\mu_n \times C_{ox} \times W_n / L_n$)

W_n = Channel width of n-device

W_p = Channel width of p-device

L_n = Channel length of n-device

L_p = Channel length of p-device

C_{ox} = Oxide capacitance

C_L = Load capacitance

3.2. 4-7 디코더 도면설계

4-7 디코더의 도면설계는 PLA 방식으로 설계하였다.[11,12] 그림 9는 이 회로의 도면설계를 나타낸 것이다.

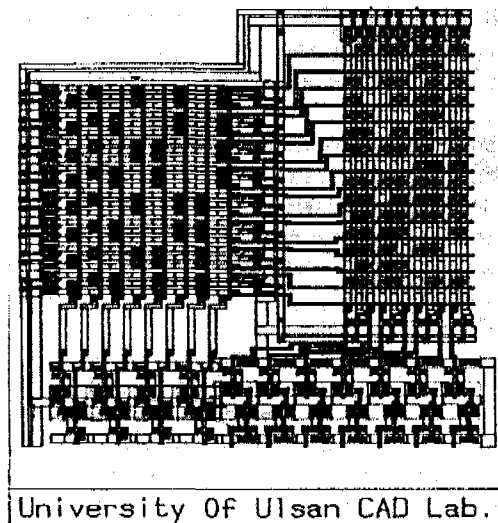


그림 9. 4-7 디코더의 도면설계

4. 전체 블럭 구성과 라우팅

표준셀의 장점을 이용하면서 데이터선이 다른 데이터선과 교차함으로써 생기는 문제를 줄일 수 있는 방식으로 구성하였다. 데이터선이 교차하면 단일 금속층 설계 규칙에서는 금속을 다결정 규소로 대체해야 하는데 이것은 다결정 규소가 저항이 단위 면적당 저항이 크므로 긴 라인에서는 문제가 생길 수 있다.

그림 10은 전체 레이아웃을 나타낸 것이다.

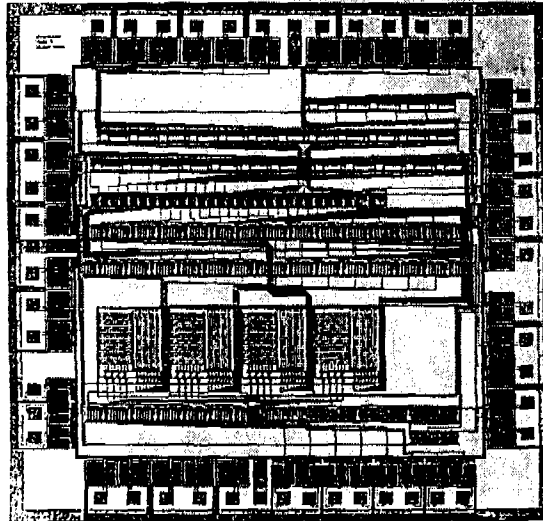


그림 10. LCD 디코더-구동회로의 전체 도면설계

5. 결 론

본 연구에서는 마이크로프로세서에 연결 가능한 LCD 디코더-구동회로를 설계하고 기능별 회로에 대한 논리 시뮬레이션 및 회로 시뮬레이션을 수행한 후 도면을 설계하였다. 이 회로의 도면설계를 위해 ETRI에서 제공한 표준셀 라이브러리를 참조하여 필요한 기본셀을 구성하였다.

논리시뮬레이션은 각각의 기능 블록회로에 대하여 EDAS-P로 수행하였지만 전체 회로에 대한 시뮬레이션은 대형 시뮬레이션 툴의 부재로 수행하지 못하였다.

도면 작업 및 DRC는 3 μ m CMOS 단일 금속층 설계 규칙으로 ETRI의 CAD 툴인 Metheus와 ISRC의 LES를 이용하였고 CIF화일을 DXY 플로터에서 플롯팅 가능하도록 프로그램을 개발하였다.

배치와 라우팅에 대한 최적화 알고리즘을 적용하지 못하였지만 시행착오 방식으로 최적화시켰으며 총 필요한 패드 수는 40개이다.

설계한 레이아웃 CIF 파일을 마스크제조 웨이퍼가공 공정을 위해서 ETRI의 3 μ m CMOS 공정라인에 의뢰하였다. 제작된 칩의 기능시험 결과는 ETRI 공정라인의 불안정성으로 전체적 기능은 동작하지 못하였다.

참 고 문 헌

- [1] "반도체 메모리 설계", pp.41-80, 1996
- [2] "The Electronic Science ", pp.134-141, 1987.3

- [3] 서울대반도체공동연구소, "VLSI 설계", pp.125-133, 1995
- [4] Goldstar Semiconductor Ltd., "GSS TTL Data Book", 1986
- [5] Douglas A.Pucknell, Kamran Eshraghian, " Basic VLSI Design", PP.153-166, 1988
- [6] 전자공학회지, "PMOS 집적회로 제작기술을 이용한 Seven segment decoder driver 의 설계와 제작", 김 충기, 임 형규. pp.11-17, 1978, 15권3호
- [7] 김성천, "논리회로의 설계 및 응용", pp.156-175, 1989
- [8] Roland J.Tocci, " Digital Systems ", pp.358-369, 1985
- [9] Neil Weste, Kamron Eshraghian, " Principles of CMOS VLSI Design a System Perspective ", pp.119-141, 1985
- [10] 과학 기술처, 최종연구 보고서, "CMOS 8-bit Microcomputer 개발", 1986
- [11] Carver Mead & Lynn Conway, "Introduction to VLSI systems", pp.81-90, 1980
- [12] John Newkirk, Robert Mathews, "The VLSI designer's Library", pp.146-210, 1983