

ATLAS를 이용한 Flash EEPROM Cell의 simulation 연구*

신윤권* · 이종화**

*경주전문대학 전자계산과, **전기전자 및 자동화공학부

<요 약>

본 논문은 플래시 EEPROM 셀의 동작 특성의 분석을 위하여 공정 시뮬레이터인 SILVACO사의 ATHENA를 이용하여 2단 적층형 게이트 플래시 메모리 셀의 구조를 설계한 후, 셀을 소자 시뮬레이터인 ATLAS를 이용하여 기본 동작인 쓰기/소거시의 전기적인 특성을 조사하였다. 게이트 산화막 두께와 게이트 채널 길이의 변화가 문턱전압에 미치는 영향을 분석하였는데, 게이트 산화막 두께가 작아지면 문턱전압이 낮아지는 것을 볼 수 있었다. 게이트 채널 길이가 작아지면 문턱전압이 심하게 낮아지는 것을 알 수 있었는데, 이것은 채널이 짧아지면 DIBL에 의해 문턱전압이 감소하기 때문이다. 프로그램시 선택되지 않은 셀에서 소스 바이어스가 0 (V)인 경우에는 누설전류가 컷지만, 소스 바이어스에 약간의 양의 바이어스를 인가하면 문턱전 누설전류는 급격히 감소하였다.

A Study of Flash EEPROM Cell Using ATLAS

Yun Gueon Shin* · Jong Hwa Lee**

*Dept. of Computer Science, Kyungju Junior College

**School of Electrical, Electronic Engineering and Automation

<Abstract>

The operation of flash EEPROM cell was investigated by using the process simulator

* 본 연구는 울산대학교 학술연구비(과제번호: 97-0152)에 의한 연구결임

ATHENA and the device simulator ATLAS of SILVACO for the stacked gate flash memory cell structure.

We have analyzed the electrical characteristics of read/write operations the basic operations and analyzed gate oxide thickness and gate channel length effects on the threshold voltage. The threshold voltage decreases with decreasing the oxide thickness. As the gate channel length decreases, the threshold voltage decreases severely. Because the threshold voltage is effected by the drain induced barrier lowering. This phenomenon is important to improve programming speed. The leakage current of non-selected cells with source bias 0(V) is high, but if a small positive voltage is applied to the source, the subthreshold current will decrease rapidly.

1. 서 론

1980년대 말에 개발된 플래시 메모리는 가격과 기능에서 EPROM의 저 비용, EEPROM의 on-board re-programmability의 편리성 등 기존의 불휘발성 반도체 메모리들의 주요 장점을 특화시킨 메모리이다. 특히 플래시 메모리는 메모리셀 구조가 DRAM보다 간단하므로 고집적화로 대량생산할 경우 DRAM보다 가격을 낮출 수 있는 장점이 있다.^[1]

소자의 개발 및 그 소자를 이용한 회로 설계에 있어서 컴퓨터 시뮬레이션의 의미는 소자 자체 제작과 분리하여 생각할 수 없을 정도로 기본적인 것이 되었다. 시뮬레이션에 의한 정확하고 통계적인 해석을 수행함으로써 빠른 기술적인 특성 해석을 얻을 수 있다. 이러한 과정을 통해 설계 시간을 단축하고 최적화 하여 설계단계에서 공정단계까지 시간을 단축할 수 있게 된다.^[2]

본 연구에서는 소자 시뮬레이터인 SILVACO사의 ATLAS와 공정 시뮬레이터인 ATHENA를 이용하여 여러 가지 파라미터 변화에 따른 플래시 메모리 소자의 쓰기/소거 동작의 특성을 분석한다. 이러한 분석 결과에서 얻어진 최적의 조건을 구하여 개선된 플래시 메모리 셀을 제작할 수 있도록 하는 것이다.

2. 플래시 메모리 셀의 기본동작과 모델

2.1 플래시 EEPROM 셀의 기본동작

플래시 메모리 셀은 기본적으로 EPROM 셀과 유사한 2층 폴리실리콘 구조이며, EPROM 과 차이점은 부유 게이트 아래의 산화막의 두께가 터널링 전류를 흐르게 할 수 있을 정도로(100 Å 이하) 얇게 되어 있다는 것이다. 플래시 메모리의 쓰기/소거 방식은 쓰기/소거 속도, 단일 전원 전압, 등의 소자구조 결정과 신뢰성 확보에 대단히 중요하다. 기본적인 동작에는 쓰기, 소거, 읽기 동작이 있다.

쓰기동작은 드레인 부근에서 발생한 열전자를 부유 게이트로 주입하는 동작으로, CHE(Channel-Hot-Electron) 주입 방법과 F-N(Fowler-Nordheim) 주입 방법이 있다. 전자는 부유 게이트 밑의 산화 층에 별 다른 공정을 하지 않음으로 신뢰도는 높지만 쓰기동작의

효율은 낮다. 그리고 FN 주입 방법은 전자 터널링으로 저전류 프로그래밍과 온-칩 전압 펄프의 크기를 작게 하며, 하나의 동작으로 프로그래밍과 소거를 동시에 가능하게 하는 장점을 갖는다. 그림 1은 CHE 방법에 의한 쓰기 동작을 나타낸 것이며, 동작조건은 $V_G=V_{pp}$, $V_S=GND$, $V_D=V_{dd}$ 이다.

소거 동작은 소스 확산층과 부유 게이트의 중첩 영역에서의 얇은 산화막의 터널링 전류를 이용한 것으로 이 전류를 FN 전류라 부르며, 산화막에 매우 높은 전계 ($> 10MV/cm$)가 인가되었을 때 전극으로부터 산화막의 전도대에 터널링이 일어나기 때문에 발생하는 전류로

$$J = A \cdot E^2 \exp(-B/E) \tag{1}$$

여기서, J는 터널 전류, E는 전계, A, B는 상수이다.

이 전류는 전계 의존성이 매우 크고, 온도 의존성이 거의 없는 점이 특징이다. 제어 게이트를 접지 전위로 유지하고, 소스에 고전압을 인가하는 것에 의해 부유 게이트로부터 전하를 끌어낸다. 터널링 전류에 의한 소거에서는 필요한 전계가 인가되면, 모든 셀에서 소거가 일어나므로 셀의 구조상으로부터 선택적으로 소거는 불가능하다. 소스가 공통이 되어 있는 셀은 모두 소거된다. 그림2는 소거 동작을 나타낸 것인데, 소스 확산을 더 깊게 하여 소거의 성능을 증가시킬 수 있다.^[3-4] 동작조건은 $V_G=GND$, $V_S=V_{pp}$, $V_D=open$ 이다.

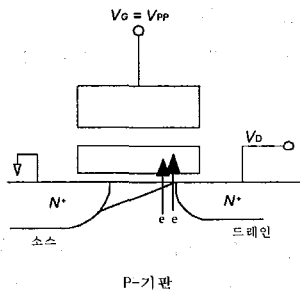


그림 1. 플래시 셀의 프로그램

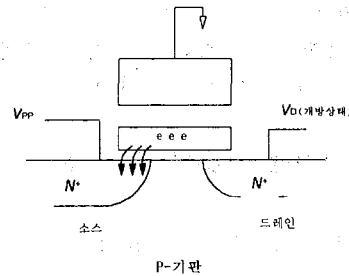


그림 2. 플래시 셀의 소거 방식

2.2 플래시 EEPROM 셀의 모델

소자의 동작 기구에 대한 시뮬레이션 모델에는 F-N 터널링 모델, HEI(Hot Electron Injection) 모델 및 BTBT(Band-To-Band Tunneling) 모델 등이 있다.^[5,6,7]

본 연구에서 사용되는 2단 적층형 게이트 플래시 메모리 셀 구조의 프로그래밍과 소거 동작의 최적 조건을 구하기 위해 프로그래밍 테스트에는 HEI 모델을 소거 테스트는 F-N 터널링 모델과 BTBT 모델을 가지고 시뮬레이션하였다.

F-N 터널링 모델은 플래시 메모리 셀의 소거 동작에서 일어나는 중요한 현상이다. 소거 동작 동안에 산화막 필름에서의 가장 우선적인 도전 과정은 전자의 F-N 터널링으로 부유 게이트에서 기판으로 전자 주입이 일어나는데, 이때 일부의 전자는 게이트 산화막에 트랩될 수 있다. 이 트랩된 전하 또는 이온결합이 게이트 산화막에 존재할 때 게이트 산화막의 전위장벽이 찌그러지는 현상이 나타난다. 이것이 장벽을 통한 전자의 터널링 확률에 영향을 주어서 결합부근에서 음전하가 전위장벽을 높이게 되는 이유가 되며, 전류의 흐름을 방해하는 요소가 된다.

HEI 모델은 채널에서 캐리어들의 충돌에 의해 채널 핫 캐리어 주입이 발생하고 전계가 높은 드레인 부근에서 충격 이온화에 의해 발생된 전자와 홀이 게이트 산화막 내로 주입된다. 전자의 주입은 플래시 셀을 프로그램할 때 이용되는 것이다.

BTBT 모델은 고농도 도핑 ($>10^{19}/\text{cm}^3$)에서는 밴드웍이 불충분하여 밴드간 터널링이 불가능하지만, $10^{18}/\text{cm}^3 - 10^{19}/\text{cm}^3$ 농도 도핑에서 밴드웍이 실리콘 밴드갭보다 더 높다면 전자가 부유 게이트 폴리실리콘의 가전자대에서 실리콘의 전도대로 밴드간 터널링이 일어난다.

3. 시뮬레이션 및 결과 분석

현재 플래시 메모리 시장은 적층형 플래시 메모리가 주류를 이루고 있는데, 본 연구에서는 INTEL 사의 2단 적층형 게이트 구조로 된 ETOX(EPROM with Tunnel Oxide)형 셀을 모델로 하여 시뮬레이션하였다. 2단 적층형 게이트 플래시 메모리 셀의 구조는 주입 효율을 증가시키기 위한 추가적인 채널 implant가 필요하게 되고, 프로그래밍시 많은 전력 소모가 필요하는 등의 문제점을 갖고 있지만 구조가 간단함으로 고밀도의 집적화가 다른 소자보다 쉬운 장점이 있다. 먼저 공정 시뮬레이터인 SILVACO사의 ATHENA를 이용하여 2단 적층형 게이트 플래시 메모리 셀의 구조를 만들고, SILVACO사의 소자 시뮬레이터인 ATLAS를 이용하여 플래시 메모리 셀의 기본 동작인 쓰기/소거시의 전기적인 특성을 분석한다. 또한 다양한 공정 조건들(게이트 산화막의 두께, 채널 게이트 길이)을 바꾸었을 때 어떤 현상이 일어나는지를 분석한다.

3.1 시뮬레이션에 사용된 셀 구조

그림 3은 SILVACO사의 ATHENA를 이용하여 만들어진 2단 적층형 게이트 플래시 메모리 셀을 나타낸 것이며, 그림 4는 이러한 소자를 만들기 위해 사용된 도핑 프로파일로, 그림 4의 (a)는 2단 적층형 게이트 플래시 메모리 셀을 그림의 왼쪽으로부터 소스 - 채널 - 드레인으로의 도핑 프로파일을 나타낸 것이고, 그림 4의 (b)는 2단 적층형 게이트 플래시 메모리 셀을 그림의 아래로부터 채널 - 게이트 산화막 - 부유게이트 - ONO - 제어게이트으로의 도핑 프로파일을 나타낸 것이다.

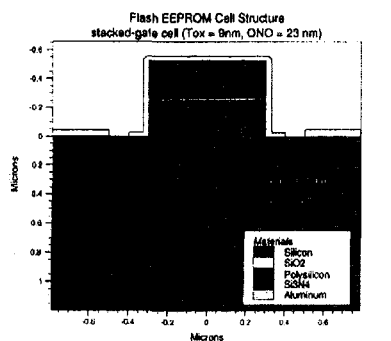


그림 3. 2단 적층형 게이트 플래시 메모리 셀 구조

n^+ -폴리실리콘 게이트 NMOS 공정을 사용한 소자의 대표적인 치수는 게이트 산화막 두께는 90 Å, 인터폴리실리콘 산화막(ONO) 두께는 23 Å, 접합깊이는 0.167 μm , 게이트 채널 길이는 6 μm , 유효채널길이는 0.4 μm , 이다. 먼저 게이트 산화막 두께를 70 Å 으로부터 120 Å 까지 변화시켰을 때 문턱전압에 어떤 영향을 주는지를 시뮬레이션하고, 게이트 채널 길이를 0.3 μm 부터 0.8 μm 까지 변화시켰을 때의 변화를 분석한다.

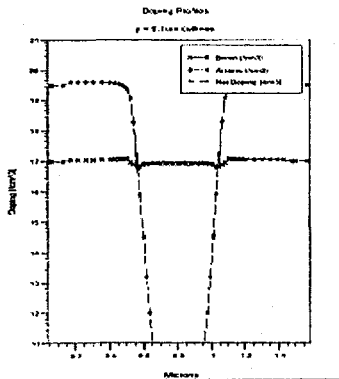


그림 4. (a) 수평방향 도핑 프로파일
(소스-채널-드레인)

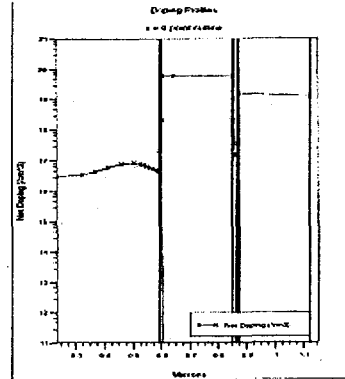


그림 4. (b) 수직방향 도핑 프로파일
(채널-게이트 산화막-부유게이트-ONO-제어게이트)

3.2 게이트 산화막 두께에 따른 문턱전압 변화

2단 적층형 게이트 플래시 메모리 셀의 구조에서 게이트 산화막 두께를 70 Å 으로부터 120 Å 까지 변화시켰을 때 문턱전압에 어떤 영향을 주는가를 시뮬레이션하였다. 아래 수식에서 문턱전압은 γ 에 비례하고 γ 는 산화막 정전용량에 반비례하고, 산화막 정전용량은 게이트 산화막 두께에 반비례하므로 그림 5에서 나타난 것처럼 게이트 산화막 두께가 작아지면 문턱전압이 작아짐을 알 수 있다.

$$V_G - V_{FB} = \phi_S + \sqrt{\phi_S} \quad (2)$$

$$\gamma = \sqrt{2\epsilon_S q N_A / C_{ox}} \quad (3)$$

$$C_{ox} = \epsilon_{ox} / T_{ox} \quad (4)$$

$$V_T = V_{FB} + \sqrt{2\phi_F} + 2\phi_F \quad (5)$$

소자 시뮬레이션 조건은 $L = 0.6\mu\text{m}$, $L_{eff} = 0.41\mu\text{m}$, $V_G = 0\text{ V}$, $V_{sub} = 0\text{ V}$, $V_D = 0.5\text{ V}$ 이다.

표 1은 그림 5에서 시뮬레이션한 결과로 게이트 산화막 두께에 따른 문턱전압의 값을 나타낸 것이다.

표 1. 게이트 산화막 두께가 문턱전압에 미치는 영향의 결과

게이트 산화막 두께(T_{ox})	70 Å	80 Å	90 Å	100 Å	120 Å
문턱전압(V_T)	0.63V	0.78V	0.79V	0.83V	0.90V

3.3 게이트 채널길이에 따른 문턱전압 변화

2단 적층형 게이트 플래시 메모리 셀의 구조에서 게이트 채널 길이를 $0.3\mu\text{m}$ 부터 $0.8\mu\text{m}$ 까지 변화시켰을 때 문턱전압에 어떤 영향을 주는가를 시뮬레이션하였다. 그림 6에서 나타낸 것처럼 게이트 채널 길이가 작아지면 문턱전압의 변화가 심하게 차이가 나타나는 것을 알 수 있는데, 이것은 채널이 짧아지면 소스 쪽 표면 전위가 게이트 전압에 의해서만 영향을 받는 것이 아니고 드레인 전압이나 소스/드레인 공핍층에 의해서 영향을 받게 되는 DIBL 현상 때문이다.

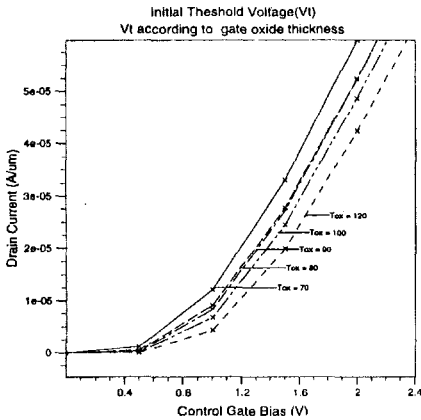
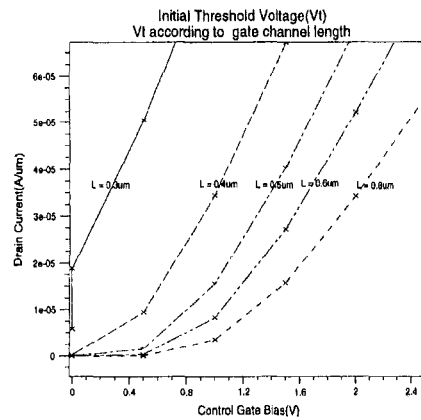
그림 5. T_{ox} 에 따른 문턱전압 변화

그림 6. L에 따른 문턱전압의 변화

표 2는 그림 6에서 시뮬레이션한 결과로 채널길이에 따른 문턱전압의 값을 나타낸 것이다.

표 2. 게이트 산화막 두께가 문턱전압에 미치는 영향의 결과

게이트 채널 길이(L)	$0.3\mu\text{m}$	$0.4\mu\text{m}$	$0.5\mu\text{m}$	$0.6\mu\text{m}$	$0.8\mu\text{m}$
유효채널길이(L_{eff})	$0.09\mu\text{m}$	$0.2\mu\text{m}$	$0.3\mu\text{m}$	$0.41\mu\text{m}$	$0.63\mu\text{m}$
문턱전압(V_T)	-0.4V	0.2V	0.62V	0.8V	0.97V

3.4 프로그램시 소스 바이어스가 문턱전 전류에 미치는 영향

그림 7은 소스 바이어스가 $0(V)$ 가 아닌 약간의 양의 바이어스를 인가하였을 때 문턱전 누설전류에 어떤 영향을 미치는가를 시뮬레이션한 결과이다. 약간의 양의 바이어스를 인가하면 문턱전 누설전류는 급격히 감소하며, 소스에 $1.0(V)$ 를 인가한 경우에는 문턱전 누설

전류가 완전히 접합 누설전류의 수준으로 떨어져 있는 것을 볼 수 있다. 이미 잘 알려져 있는 바와 같이, MOSFET에서 만일 V_{ds} (드레인과 소스간의 전압차)가 $3kT/q$ 보다 큰 경우에는 약 반전인 상태에서 문턱전 전류 I_{ds} 는 다음과 같이 나타낼 수 있다.^[8]

$$I_{ds} = I_0 \exp [q(V_{gs} - V_t) / nkT] \tag{6}$$

이 때, V_{gs} 는 게이트와 소스간의 전압차, V_t 는 문턱전압, n 은 상수, k 는 볼츠만 상수, T 는 절대온도, I_0 는 V_{gs} 가 V_t 일 때의 드레인 전류를 뜻한다. 이 식에서 문턱전 전류가 주로 V_{gs} 의 크기에 좌우된다는 것을 알 수 있다. 소스 바이어스에 0(V)가 아닌 약간의 양(+의) 바이어스를 인가하면 V_{gs} 의 값이 소스에 인가된 전압 만큼 떨어지므로 문턱전 전류는 지수함수적으로 감소할 것이다.

3.5 프로그램 후 게이트 산화막 두께에 따른 문턱전압의 변화

그림 8은 프로그래밍 후에 게이트 산화막 두께에 따른(70 Å으로부터 120 Å) 문턱전압의 변화를 시뮬레이션한 결과이다. 결과에서 나타난 것처럼 프로그래밍 후 게이트 산화막 두께에 따른 문턱전압의 변화는 거의 나타나지 않는 것을 알 수 있으며, 프로그램 후에는 문턱전압이 게이트 산화막 두께의 변화에 민감하지 않음을 얻을 수 있었다.

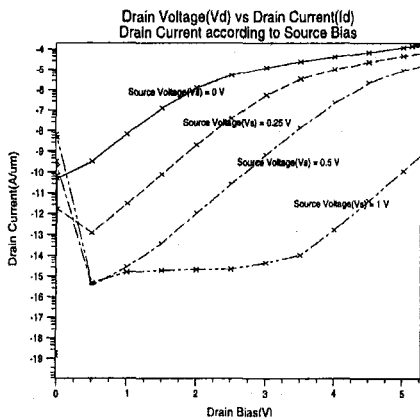


그림 7. 소스 바이어스가 문턱전 전류에 미치는 영향

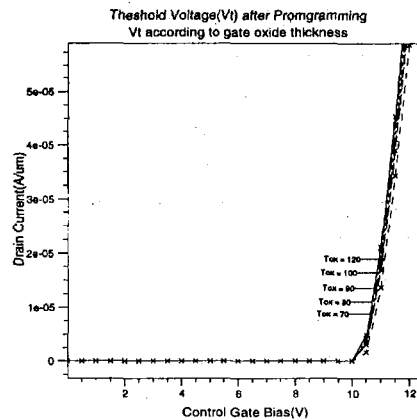


그림 8. 프로그램 후 Tox 에 따른 문턱전압

5. 결 론

본 연구에서는 SILVACO사의 소자 시뮬레이터인 ATLAS와 공정 시뮬레이터인 ATHENA를 이용하여 여러 가지 파라미터 변화에 따른 플래시 메모리 소자의 특성을 시뮬레이션하였다. 2단 적층형 게이트 플래시 메모리 셀의 구조에서 게이트 산화막 두께의 변화가 문턱전압에 미치는 영향을 분석하였는데 게이트 산화막 두께가 작아지면 문턱전압이

낮아지는 것을 볼 수 있었다. 게이트 채널 길이의 변화가 문턱전압에 미치는 영향을 분석하였는데, 게이트 채널 길이가 작아지면 문턱전압의 변화가 심하게 차이가 나타나는 것을 알 수 있었다. 프로그램시 선택되지 않은 셀에서 소스 바이어스가 0 (V)가 아닌 약간의 양의 바이어스를 인가하면 문턱전 누설전류는 급격히 감소하였고, 소스에 1.0 (V)를 인가한 경우에는 문턱전 누설전류가 완전히 집합 누설전류의 수준으로 떨어져 있는 것을 볼 수 있었다.

향후 연구과제는 플래시 메모리 셀의 신뢰도에 영향을 주는 최적 조건을 구하고, 이러한 최적 조건 파라미터에 따른 칩을 제작하여 시뮬레이션 결과가 측정결과에 얼마나 정확한지를 분석하는 것이다. 또한 LDD 구조 EEPROM 셀의 동작이 채널길이와 폭, 산화층의 두께, 도핑농도와 접합깊이에 따른 영향을 연구할 예정이다.

참고문헌

- [1] 서강덕, "플래시 메모리의 응용과 향후 전망", 전자공학회지, 제24권 6호, pp. 60-56, 1997년 6월.
- [2] 배원일, "NAND형 플래시 EEPROM의 회로 시뮬레이션 셀 모델에 관한 연구", 석사학위논문, 1995
- [3] H. Kume et al., "A flash-erase EEPROM cell with an asymmetric source and drain structure", IEDM Tech. Dig., pp. 560, 1987.
- [4] MICRON, "Boot Block flash Memory Technology", Quantum Devices Inc., TN-28-01, 1995.
- [5] Kemal Tamer San, "Hot-Carrier Effects in flash Erasable Programmable Read-Only Memory Devices", Yale Univ., 1994.
- [6] K. Tamer San, Cetin Kaya, and T. P. Ma, "Effects of Erase Source Bias on flash EPROM Device Reliability", IEEE Trans. Electron Device, Vol. 42, No.1, pp.150-159, Jan., 1995.
- [7] Stephen Keeney, et al, "Compute Transient Simulation of flash EEPROM Devices", Vol. 39, No. 12, pp.2750-2757, Dec., 1992.
- [8] N. Einspruch and G. Gildenbalt, "Advanced Mos Device Physics. "VLSI Electronics Micro-structure Science, Vol. 18, 1989.