

8-bit Neuron MOS A/D 변환기 설계

박한길 · 이종화
전자공학과

<요 약>

본 논문은 Neuron MOSFET를 이용한 8-bit sub-ranging A/D 변환기 회로의 설계에 관하여 기술한다. 이 A/D 변환기 회로의 장점은 기존의 MOS 회로를 이용한 설계에 비해 융통성 있는 회로 동작이 가능하며, 기존의 A/D 변환기 설계방법에 비해 회로 구조가 간단하다. sub-ranging 구조를 사용한 8-bit A/D 변환기는 두 개의 4-bit A/DC, 한 개의 4-bit D/AC, 감산기와 8-bit 출력 latch로 구현된다. 이들 각 회로들을 부분적으로 시뮬레이션하여 동작확인하였다. 이 회로는 0.8 μ m 이중 폴리 이중 금속공정에 의한 설계규칙으로 설계하였고, 현재 제작공정 중이다.

Design of 8-bit Neuron MOS A/D Converter

Han Kil Park · Jong Hwa Lee
Dept. of Electronic Engineering

<Abstract>

An 8-bit sub-ranging A/D converter circuit using neuron MOSFET was designed and implemented. This neuron MOS A/D converter shows flexible operations and simple structure comparing with common CMOS A/DC circuit. It is composed of two 4-bit A/D subconverters, 4-bit D/A subconverter, subtractor and 8-bit output latch, each subcircuit was simulated separately.

This circuit is designed using a 0.8 μ m double-poly, double-metal transistor structure and processing for fabrication and test.

I. 서 론

디지털 컴퓨터 기술의 급속한 발전으로 멀티미디어 제품, 통신장비, 가전제품 등 많은 전자시스템에서 아날로그 신호를 디지털 신호로 변환하는 접속장치가 매우 중요하게 부각되고 있다. A/D 변환기는 전자시스템의 전반부에서 아날로그 신호를 디지털 신호로 바꾸어 간단하고 신뢰성 있는 디지털 신호처리가 가능하게 하는 것으로서, 최근 영상 신호 처리기술이 향상됨에 따라 고속 해상도의 A/D 변환기를 많이 요구하고 있어, 고속 해상도 A/D 변환기 개발이 최근의 주요 관심사로 부상하고 있다.[7]

지금까지 구현된 A/D 변환기 구조 중에서 영상 신호 같은 고속 응용에 적용될 수 있는 변환기 구조로는 플래쉬 구조, subranging 구조, multi-step 구조 그리고 파이프 라인 구조 등이 있다.

상대적으로 작은 칩 면적과 적은 전력 소모를 가지면서 고해상도를 구현하기 위해서는 최근에 개발된 neuron MOSFET (ν -MOS)[2,4,5]를 사용한 subranging 구조의 A/D 변환기가 적합하다.

neuron MOSFET는 이중의 다결정 실리콘 구조의 소자인데, 이를 이용한 A/D 변환기 회로설계시 장점은 기존의 MOS 회로를 이용한 설계에 비해 융통성 있는 회로 동작이 가능하며, 기존의 A/D 변환기 설계방법에 비해 회로 구조가 간단하다.[1,2]

본 논문에서는 neuron MOSFET 소자를 이용하고 subranging 구조를 기본으로 하면서 2-ploy CMOS 공정을 사용하는 8-bit A/D 변환기의 설계 및 집적회로의 구현에 대하여 기술한다. II장에서는 8-bit neuron MOS A/D 변환기의 구성 회로와 subranging 기법을 설명하고, III장에서는 8-bit A/D 변환기의 각 부분회로의 시뮬레이션 결과와 레이아웃을 보이고, IV장에서는 결론을 맺는다.

II. neuron MOSFET를 이용한 A/D 변환기의 회로 설계

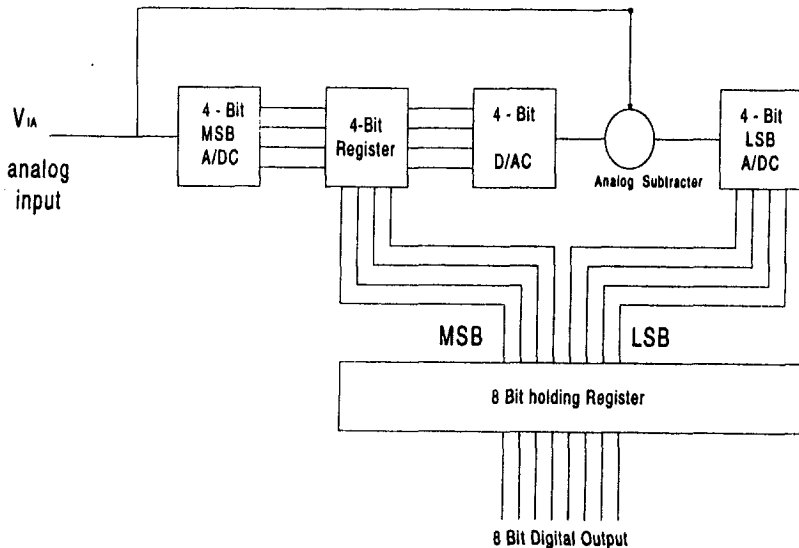


그림 1. 일반적인 subranging A/D converter

일반적인 8-bit subranging A/D 변환기(그림 1)는 2개의 4-bit flash A/D subconverter와 D/A subconverter와 subtracter로 구성된다. 8비트 A/D 변환기의 동작원리는 첫 번째 4-bit A/D 변환기에서 상위 4-bit 디지털 출력을 만들고, 이 상위 4-bit 디지털 출력을 아날로그로 변환한 신호와 원래의 아날로그 신호와의 차를 구한 잔류 신호에 대해 두 번째 4비트 A/D 변환기에서 디지털 값으로 변환해주면 하위 4비트 디지털 출력을 구할 수 있다. [5,6]

2-1. 8-bit A/D 변환기 구성

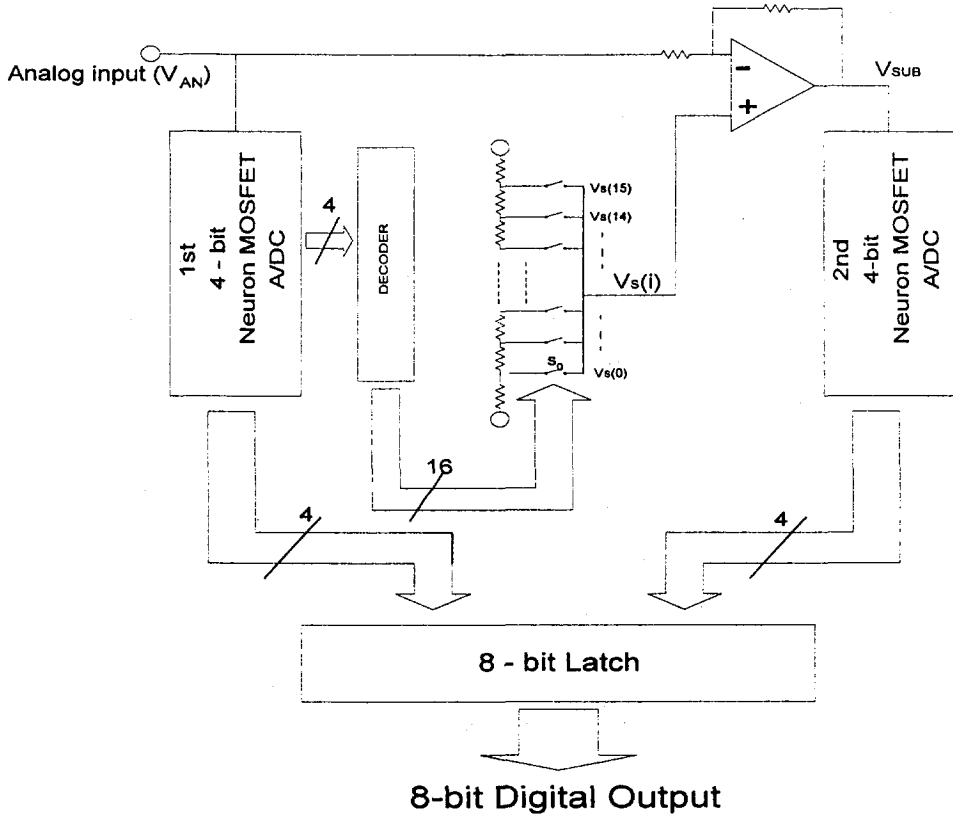


그림 2. subranging 기법을 이용한 8-bit A/D converter 블록도

그림 2에 neuron MOSFET를 이용한 8-bit subranging A/D converter의 블록도를 나타내었다.

8-bit neuron MOSFET A/D 변환기는 상위 4-bit neuron MOSFET A/D subconverter, D/A subconverter 회로, 감산기와 하위 4-bit neuron MOSFET A/D subconverter로 구성된다. neuron MOSFET를 이용한 8-bit subranging A/D 변환기의 동작원리는 다음과 같다. 아날로그입력(V_{AN})이 첫 번째 4비트 neuron MOSFET A/D 변환기에 입력되면 상

위 4비트 디지털 출력 값이 만들어지고 8-bit 출력 래치에 저장된다. D/A 변환기는 4입력 16출력 디코더와 저항열로 구성되어있고, 디코더의 16개 출력은 저항열로부터 아날로그 전압 $V_S(i)$ 를 선택하는 스위치에 연결되어 있다. 감산기의 두 입력은 $V_S(i)$ 전압과 아날로그 입력 전압(V_{AN})이다. 하위 4비트 디지털 출력 값을 만들기 위한 subranging 과정을 그림 3에 나타나있다.

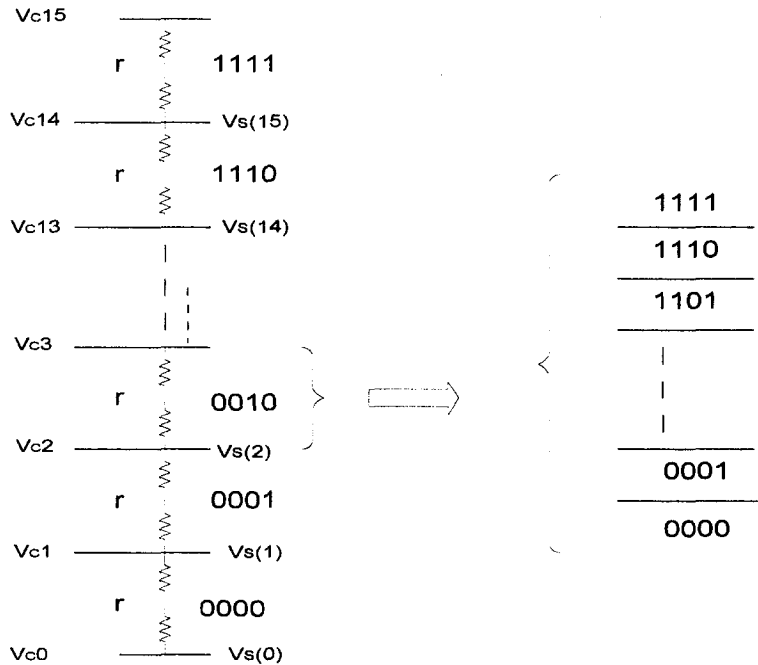


그림 3. subranging 과정

D/A 변환기의 출력전압이 $V_C(i)$ ($i=0, \dots, 15$)와 $V_C(i+1)$ 사이의 전압이면, i 번째스위치 S_i 가 닫히고 전압 $V_S(i)$ 가 감산기의 입력전압이 된다. 그리고, 전압 $V_S(i)$ 와 아날로그 입력 값이 감산기의 두 입력이 되며 감산기의 출력 전압은 식(1)과 같이 계산된다.

$$V_{SUB} = 16 \times (V_S(i) - V_{AN}) \quad (1)$$

감산기의 출력 즉 잔류 신호(V_{SUB})가 두 번째 A/D 변환기를 거치면 하위 4비트 디지털 출력을 구하게 된다. 이로서 총 8비트의 디지털 출력을 구할 수 있게 된다.

위에서 제안한 8비트 subranging A/D 변환기는 한 클럭 사이클만에 아날로그 신호를 8비트 디지털 출력 값으로 변환하도록 설계하였다. 상위, 하위 4비트는 각각 출력래치에 저장된다.

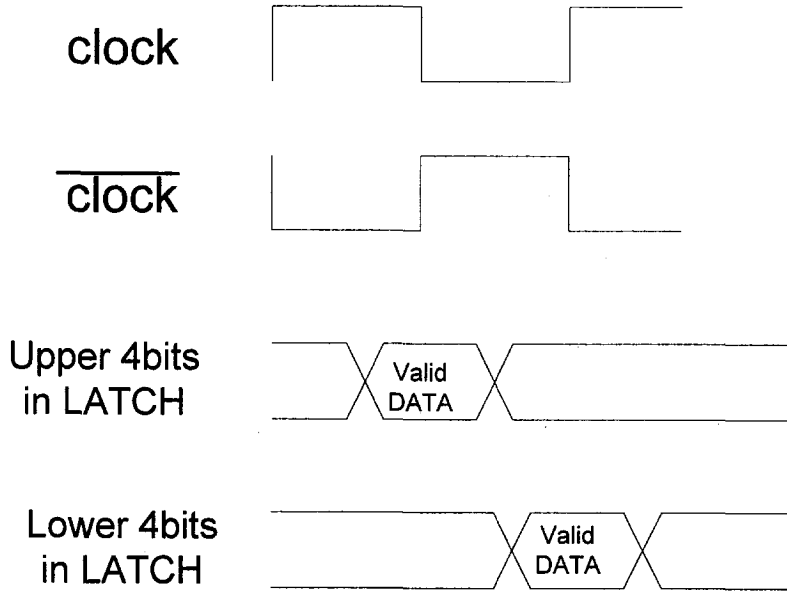


그림 4. 8비트 A/D 변환기의 타이밍도

그림 4에 설계한 8비트 A/D 변환기의 타이밍도를 나타내었다. 클록이 정주기 일 때 상위 4 비트가 출력레치에 저장되었다가 클록이 부주기일 때 하위 4비트 데이터가 출력되어 8비트 디지털 출력을 만든다. 따라서, 한 클록만에 아날로그 입력신호가 디지털 출력으로 변환된다. 다음 절에서는 8비트 A/D 변환기를 구성하고 있는 4비트 neuron MOSFET A/D 변환기와 감산기에 대해서 설명하고자 한다.

2-2. 4-bit neuron MOSFET A/D 변환기

4-bit neuron MOSFET A/D 변환기의 구성에는 가변문턱 인버터(그림 5)와 보통의 CMOS 인버터가 사용된다. 비트수가 N일때 가변문턱 인버터의 갯수는 $(2^{N-1}-1)$ 이다.

4비트에서는 7개의 가변문턱 인버터가 필요함을 알 수 있다. 설계한 가변문턱 인버터들의 결합 커패시터비는 표1에 표시되었다. 표1의 인버터번호는 그림 6의 인버터번호와 같다. 커패시터의 상대적인 값이 중요하며, 그 값들의 합은 인버터의 가변비에 상관없이 16이 된다. 이것은 모두 16개의 결합커패시터 요소가 각각의 인버터에 포함되어야 한다는 것을 의미한다. 인버터의 번호가 짝수인 2, 4, 6의 경우 가변비를 약분하여 $1/4V_{DD}$, $1/2V_{DD}$, $3/4V_{DD}$ 로 설계하면 회로면적을 줄일 수 있으나, 정확한 가변특성을 기대하기 어려우므로 표1에 보인 가변비로 설계하였다. [2,3,4]

표1. 가변문턱 인버터의 용량성 결합비

| 인버터 | | 용량성 결합비 | | |
|-----|-------------|--------------------|--------------------|--------------------|
| 번호 | 가변비 | C_1 (V_{DD}) | C_2 (V_{IN}) | C_3 (V_{SS}) |
| 1 | $1/8V_{DD}$ | 7 | 8 | 1 |
| 2 | $2/8V_{DD}$ | 6 | 8 | 2 |
| 3 | $3/8V_{DD}$ | 5 | 8 | 3 |
| 4 | $4/8V_{DD}$ | 4 | 8 | 4 |
| 5 | $5/8V_{DD}$ | 3 | 8 | 5 |
| 6 | $6/8V_{DD}$ | 2 | 8 | 6 |
| 7 | $7/8V_{DD}$ | 1 | 8 | 7 |

그림 5는 A/D 변환기를 구성할 가변문턱 인버터와 그들의 FPD(floating gate potential diagram)를 보여준다. 용량성 결합커패시터 C_1 , C_2 , C_3 는 각각 V_{DD} , V_{IN} , V_{SS} 에 각각 연결된다.

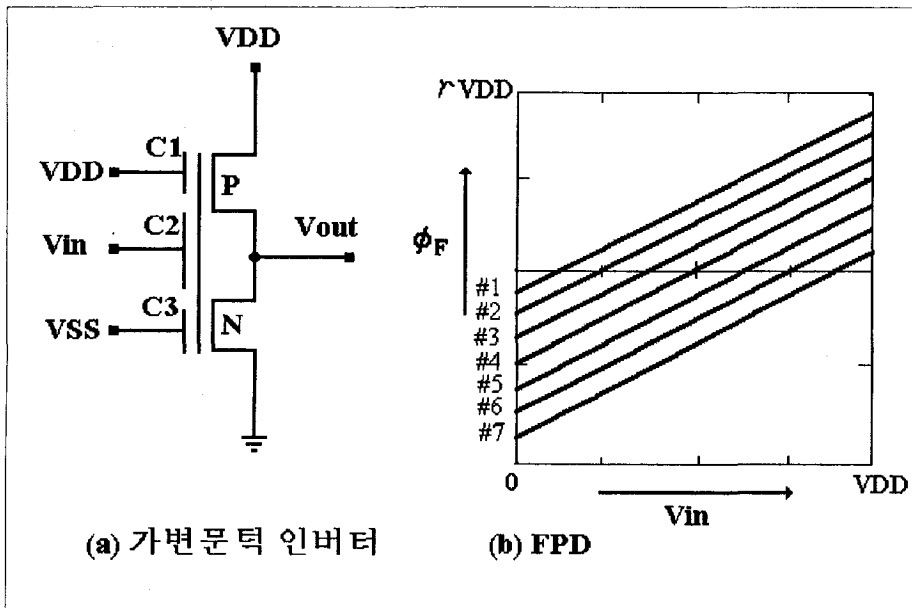


그림 5. 가변문턱 인버터와 부유게이트 전위도(FPD)

그림 6에 4비트 A/D 변환기의 전체구성도가 나타나 있다. 그림에서 첫번째 단의 번호가 붙은 가변문턱 인버터들은 표1에 나타난 결합비를 갖는 3-입력 neuron-MOS 인버터들이다. V_{DD} 에 연결된 용량성 결합커패시터 C_1 값은 인버터의 번호에 따라 다르므로 그림 5(b)에서처럼 부유게이트의 전위의 레벨은 C_1 이 가장 큰 1번 인버터가 가장 위쪽에 있고, C_1 이 가장 작은 7번 인버터가 가장 아래에 위치한다. 그림 6의 중앙에 있는 3개의 인버터는 왼쪽에서부터 각각 2입력, 4입력, 8입력을 갖는 neuron MOS 인버터이다. 이들 인버터들은 입력전압의 값에 따른 각각의 전환비로 "high", "low"상태의 전환을 하면서 각 비트의 상태를 결정한다. 그림에서 짧게 그려진 결합커패시터는 가변문턱 인버터들과 연결되고, 가장 길게 그려진 결합커패시터는 입력 V_{AN} 과 바로 연결된다. 이들 인버터들의 결합커패시터는 가변문턱인버터의 출력단과 연결된 것과 입력신호 V_{AN} 에 연결된 것 간에는 왼쪽에서부터 차례대로 각각 1:2, 1:4, 1:8의 비를 갖는다.

그리고 마지막단의 4개의 인버터들은 과형정형을 위한 보통의 CMOS 인버터이다. 4-비트 A/D변환기는 CMOS를 이용하면 398개의 트랜지스터가 필요하나, neuron-MOS를 이용하면 단지 28개의 트랜지스터로만 구성되므로 훨씬 간단한 구조를 갖는다.

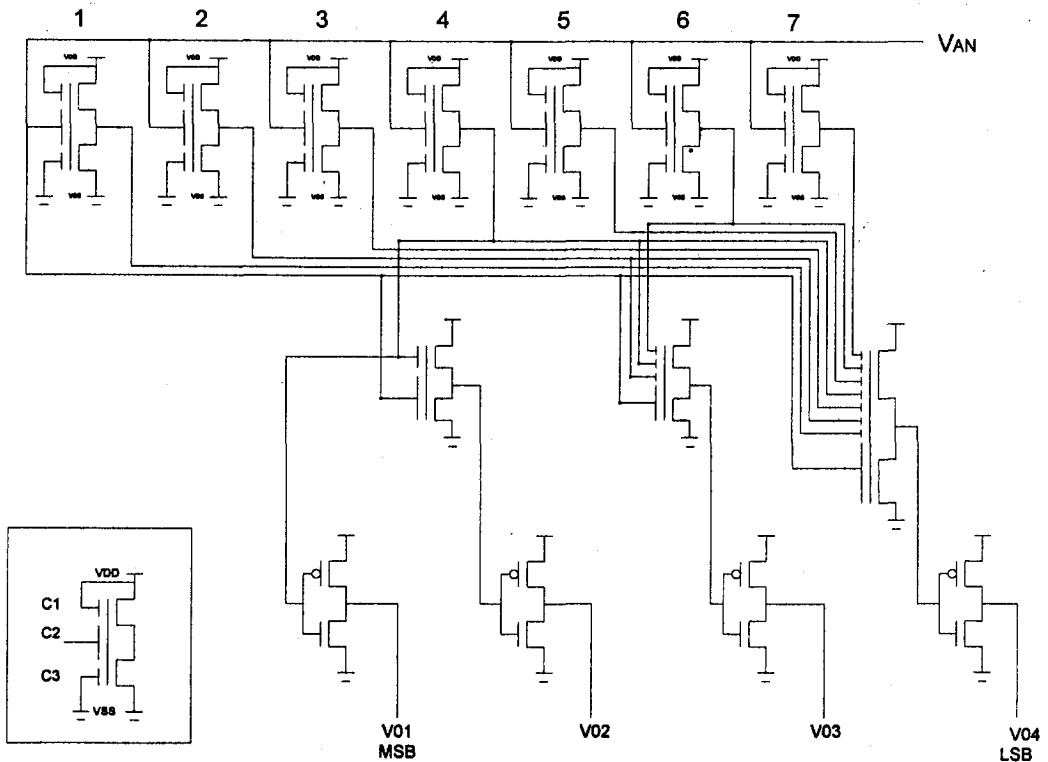


그림 6. neuron MOSFET를 이용한 4-비트 A/D 변환기 회로도

2-3. 감산기

본 논문에서 이용한 감산기는 연산증폭기와 피드백 저항으로 간단히 구성되고, 이 연산증폭기는 높은 선형성과 고속 모드에서 사용할 수 있도록 설계하였다. 그림 7은 이 연산증폭기의 회로도이다.

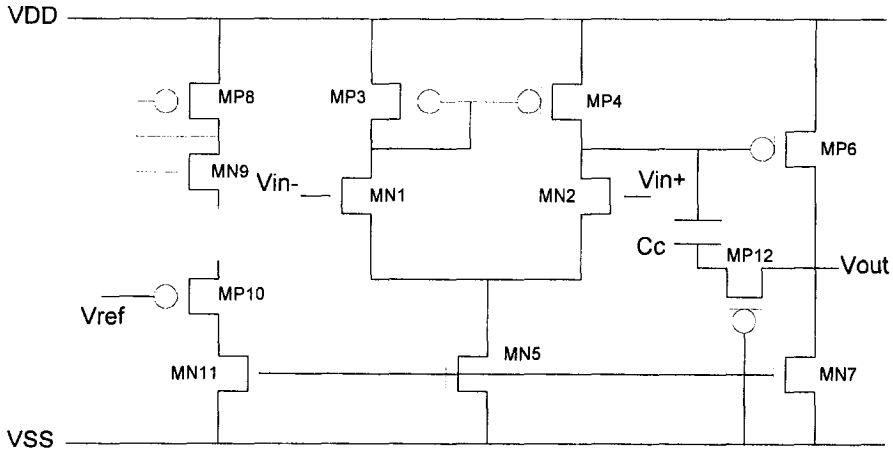


그림 7. 연산증폭기 회로도

연산증폭기는 차동입력단, 레벨-쉬프트단, 출력단으로 구성되어있고, 이 회로의 각 MOS 트랜지스터의 채널 폭(W)과 채널길이(L)는 표 2와 같이 설계하였다. 주파수 보상을 위해서 5pF 보상커패시터를 삽입하였다.

표 2. MOS 트랜지스터의 채널 폭과 길이

| NMOS | W(μm) | L(μm) | PMOS | W(μm) | L(μm) |
|------|--------------------|--------------------|------|--------------------|--------------------|
| MN1 | 70 | 5 | MP3 | 32 | 5 |
| MN2 | 70 | 5 | MP4 | 32 | 5 |
| MN5 | 6 | 5 | MP6 | 105 | 5 |
| MN7 | 10 | 5 | MP8 | 70 | 5 |
| MN9 | 89 | 5 | MP10 | 70 | 5 |
| MN11 | 5 | 5 | MP12 | 25 | 5 |

회로동작을 간단히 살펴보면, MN1~MP4는 차동증폭기 입력단을 이루고, MP12와 Cc는 Miller 커패시터로서 내부 위상보상용이고, MP8~MN11은 레벨-쉬프트단으로 작동하고, MN6~MN7 은 출력단을 형성한다.

III. 시뮬레이션 및 레이아웃

neuron MOSFET를 이용한 8-bit subranging A/D 변환기의 전체 시뮬레이션은 하지 못하고, 각각의 블록에 대한 시뮬레이션을 수행하였다. neuron MOSFET를 이용한 4-bit A/D 변환회로를 시뮬레이션하기 위해 가변문턱인버터에 대한 SPICE 매크로 모델링[8]을 한 후, HSPICE상에서 모의실험하였다.

그림 8은 neuron MOSFET 소자를 이용한 첫 번째 4-bit A/D 변환회로에 대한 시뮬레이션파형이다. 입력전압이 0V에서 5V로 증가할 때, 출력파형의 변화를 나타낸 것이다. 그림 8의 맨 위쪽의 파형이 상위비트(MSB) 출력이고, 제일 아래쪽이 하위비트(LSB) 출력 파형이다. 아날로그 입력 전압이 증가함에 따라 출력 파형이 0000에서 1111로 변해간다.

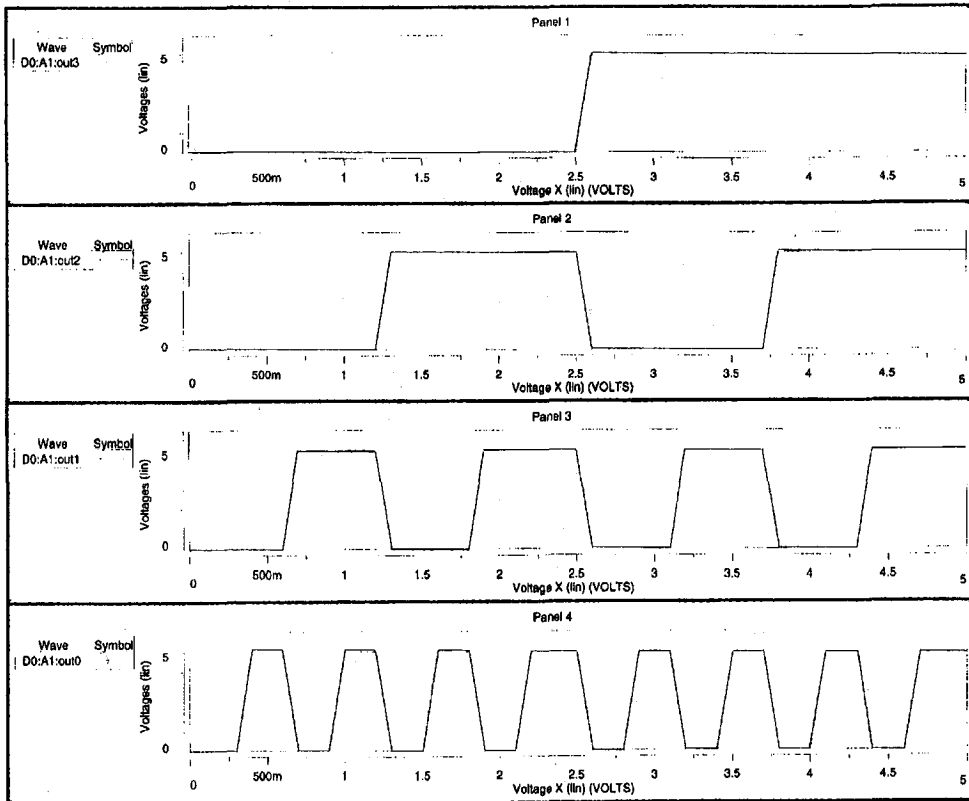


그림 8. 4bit A/D 변환기의 출력파형

레이아웃 틀은 서두로직의 My CAD를 이용하였으며, $0.8\mu\text{m}$ 현대전자 2-poly CMOS 공정률에 따라 설계하였다. neuron MOSFET의 정확한 용량성 결합을 위해 커패시터 설계에 주의를 해야한다. 레이아웃에서 커패시턴스가 정확하게 일치하지 않으면 제작된 칩의 동작 결과는 시뮬레이션 결과와 차이가 발생하게 된다. 특히, 가변 문턱 인버터의 커패시턴스 비를 정확하게 맞출 필요가 있다.

감산기의 레이아웃은 연산증폭기의 차동입력 특성을 고려하여 입력단은 상보대칭형대가 되도록 배치하였다. 그림 9에 neuron MOSFET를 이용한 4-bit A/D 변환회로 레이아웃과 각각의 블록을 하나로 합친 8-bit A/D 변환기의 레이아웃을 그림 10에 나타내었다. 이 그림 속의 위 쪽에 있는 작은 회로는 시험을 위한 4-bit A/D 변환기와 기본 셀이다.

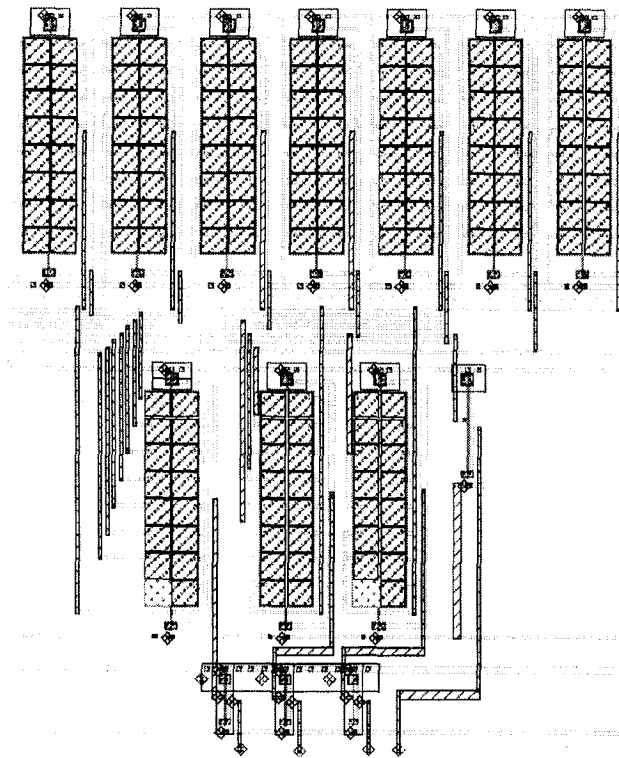


그림 9. neuron MOSFET를 이용한 4-bit A/D 변환회로 레이아웃

IV. 결 론

subranging 기법과 neuron MOSFET를 이용하여 8-bit A/DC를 설계하였다. A/D 변환기 설계시 neuron MOSFET로 설계할 경우 기존의 비교기회로를 사용한 플래쉬 구조보다

훨씬 작은 면적으로 구현 가능하였다. 8-bit A/D 변환기의 Core 사이즈는 $900\mu\text{m} \times 1100\mu\text{m}$ 이다. 그림 10의 설계된 8-bit A/D 변환기는 현대전자의 Fab line에서 칩을 제작하기 위해 공정중이며 제작 후 시험할 예정이다.

본 논문에서 구현한 8비트 neuron MOSFET A/D 변환기에는 SHA 회로와 오차 보정 회로가 제외되었는데, 제작 시험 후 이 부분을 추가하면 더욱 완벽한 A/D 변환기를 구현할 수 있다.

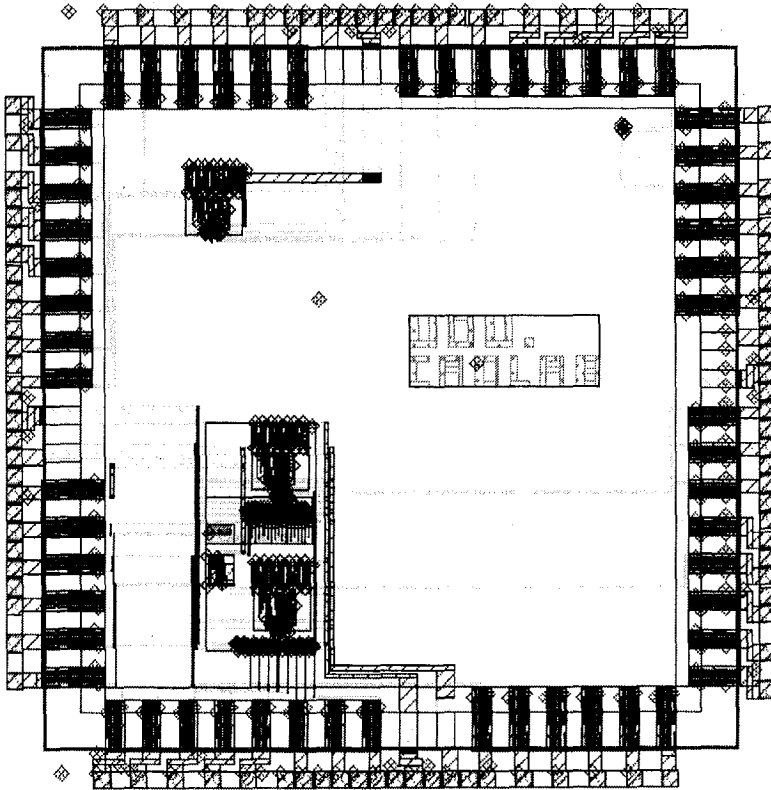


그림 10. 전체 칩 레이아웃

참 고 문 헌

- [1] T.Shibata and T.Ohmi, "A Functional MOS Transistor Featuring Gate-Level Weighted Sum and Threshold Operations", IEEE Trans. on Electron Devices, vol.39, no.6, June 1992
- [2] T.Shibata and T.Ohmi, "Neuron MOS Binary-Logic Integrated Circuits Part I :

- Design Fundamentals and Soft-Hardware-Logic Circuit Implementation", IEEE Trans. on Electron Devices, vol.40, no.3, March 1993
- [4] T.Shibata and T.Ohmi, "Neuron MOS Binary-Logic Integrated Circuits Part II: Simplifying Techniques of Circuit Configuration and their Practical Applications", IEEE Trans. on Electron Devices, vol.40, no.5, May 1993
- [5] 이익희, 박한길, 신윤권, 이종화, "ν-MOS를 이용한 신경망 WTA 회로의 설계", 공학 연구논문집 제 27권 제 1호 pp. 149~166, 울산대학교
- [6] Andrew G. F. Dingwall, Victor Zazzu, "An 8-MHz CMOS Subranging 8-Bit A/D Converter", IEEE Journal of Solid-State Circuits, vol.20, no.6, Dec 1985
- [7] Masayuki Ishikawa, Tsuneo Tsukahara, "An 8-bit 50-MHz CMOS Subranging A/D Converter with Pipelined Wide-Band S/H", IEEE Journal of Solid-State Circuits, vol.24, no.6, Dec 1989
- [8] 최희철, 안길주, 이승훈, 강근순, 최명준, "10-bit 20MHz CMOS A/D 변환기", 전자공학회논문지, 제33권 A편 제4호, pp152~161, 1996년 4월
- [9] Axel Thomsen, Martin A. Brooke, "Low Control Voltage Programming of Floating Gate MOSFETs and Applications" IEEE Trans. on Circuits and Systems-I: Fundamental Theory and applications, vol.41, no.6, June 1994
- [10] David A. Durfee and F. S. Shoucair, "Comparison of Floating Gate Neural Network Memory Cells Standard VLSI CMOS Technology", IEEE Trans. on Neural Networks, vol.3, no.3, May 1992