

## 압저항형 스마트 실리콘 압력 센서의 설계\*

정후민\*\* , 신윤권\*\*\* , 조상복, 이종화  
울산대학교 전기전자 정보시스템공학부

### <요 약>

압저항형 스마트 실리콘 압력 센서를  $0.6\mu\text{m}$  이중 폴리 실리콘 이중 금속 CMOS 공정으로 구현하기 위하여 설계하였다. 이 스마트 실리콘 압력 센서는 압저항형 저항기들로 된 휘스톤 브리지를 갖는 다이아프램과 op-amp, A/D 변환기, 및 UART 회로 등의 주변회로들로 구성되어 있다.

브리지 회로의 출력 전압과 압력에 의한 기계적 응력 사이의 관계를 COSMOS-M 상용 프로그램으로 다이아프램의 응력 분포를 모의실험하여, 압저항기의 최적의 위치와 크기에 대한 연구를 하였다.

CMOS op-amp 회로는 규정된 출력 특성을 얻기 위하여 크기가 다른 트랜지스터들로 설계하여 HSPICE로 모의실험하여 최적화 시켰다. A/D 변환기 회로는 가능한 칩 면적을 줄이기 위하여 서브 레인징 기법과 신경 MOSFET 구조를 이용하여 설계하였다. UART 회로는 VHDL 소스 코드와 셀 라이브러리를 이용하고 Synopsys로 합성하여 설계하였다. 회로의 물리적 레이아웃 설계는 Mentor 툴로 설계하였다. 그러나 온도보상회로와 출력 오프셋 문제는 아직 해결하지 못하고 다음에 연구할 예정이다.

## Design of Piezoresistive Smart Silicon Pressure Sensor

Hu-Min Jung, Yun-Kwon Shin, Sang-Bock Cho, Jong-Hwa Lee  
School of Electrical Engineering, jhlee@uou.ulsan.ac.kr

\* 본 연구는 울산대학교의 2000년 교비 연구비의 지원과 반도체 설계교육센터(IDEC)의 지원에 의해 이루어졌음.

\*\* 하이닉스(주)

\*\*\* 서라벌대학 전기전자전산학부

### <Abstract>

A piezoresistive smart silicon pressure sensor is designed to implement with  $0.6\mu\text{m}$  double-polysilicon double-metal CMOS process. This smart pressure sensor is composed of a diaphragm with piezoresistive resistors' Wheatstone bridge and the peripheral circuitry of op-amp, A/D converter and UART.

The relationship between the output voltage of the bridge circuit and the mechanical stress by applied pressure was studied by simulating the stress distribution on the diaphragm with COSMOS-M package program to optimize the size and position of piezoresistors.

The CMOS op-amp circuit was designed with different CMOS transistor sizes to obtain the defined op-amp output characteristics and simulated with HSPICE. The A/D converter was designed using neuron MOSFET structure and sub-ranging method to minimize the chip area. The UART circuit was designed by using VHDL source code and cell library and by synthesizing with Synopsys and the physical layout of the circuit was designed with Mentor tools. The problems for temperature compensation and the output voltage offset were not yet considered.

## 1. 서론

자동차 등의 기계시스템에 사용되는 압력센서는 아직도 많은 부분이 기계식 압력 센서를 사용하고 있는데 구조가 복잡하고 크고 무거우며 신뢰성이 낮고 가격이 높아 사용에 제한을 받는다. 반면에 실리콘 압력센서는 실리콘의 기계적 성질이 우수하고, 실리콘 마이크로 머시닝 기술과 반도체 집적회로 공정기술을 이용하여 소형화, 경량화, 양산화, 저가격화 및 고성능화가 가능하여 점점 이용이 확대되고 있다. 이 실리콘 압력센서는 온도 등의 각종센서와의 조합 및 제어회로와의 집적화가 가능하기 때문에 자동차의 전장시스템과 로봇과 같은 정밀제어 시스템 등의 응용분야에 사용하기 위하여 활발한 연구가 이루어지고 있다.[1,2] 현재 국내에서도 스마트 센서들에 대한 연구가 막 시작되고 있는 실정이다.

반도체 공정기술의 발전과 집적도의 증가는 대규모의 전자 시스템들이 하나의 고성능 IC(SOC)로 구현되고 있으며, 최근에는 전자제품의 소형화 경량화 스텝화됨에 따라 한 칩 내에 디지털 신호처리회로와 아날로그 인터페이스 회로를 모두 포함하는 혼합모드 IC의 필요성이 증가하고 있다. 그 중에는 센서를 칩에 포함시킨 스마트센서의 필요성도 증가하고 있다.

다이아프램 위에 압저항형 휘스톤 브리지를 사용한 압력센서는 산업용, 자동차용 의학용 장비의 부품으로 이용되며, 민감성, 선형성, 신뢰성의 특징이 있다. 그러나 출력 오프셋 전압과 온도보상의 어려움이 있다.[3]

현재 국내에는 아직 스마트 압력센서 뿐만 아니라 단순 실리콘 압력센서도 완전 국산화되지 못하고 있으나, 이에 대한 연구는 종종 발표되고 있는 실정이다.[3] 세계적으로도 스마트 압력센서는 바이폴라 공정으로 주로 생산하고 있어, CMOS공정을 이용한 스마트 압

저항형 압력센서의 연구가 필요하다.

스마트 압력센서의 기능으로는 측정할 압력의 출력신호 발생 기능 이외에도 신호변환과 필요한 논리회로와 데이터 값을 결정하는 기능과 마이크로프로세서와 공통 버스를 이용하여 통신할 수 있는 기능이 필요하다. 본 연구의 압저항형 스마트 실리콘 압력센서는 위의 필요한 기능들을 포함하기 위해 다이아프램 위의 압저항형 휘스톤 브리지와 op-amp, A/D 변환기, UART회로들로 구성되어 있다.

## 2. 압저항형 압력 센서와 다이아프램

압력신호를 전기신호로 바꾸어 주는 다이아프램 부분의 설계는 모델링과 설계, 제작공정, 특성화의 단계가 필요하다. 특성의 이론적 예측은 개발단계의 시행착오를 줄여 개발의 비용과 시간을 줄인다.

실리콘에서의 압저항 효과는 n형 실리콘에서는 Herring 과 Vogt의 many-valley model 에 의해 설명된다[4,5]. 이에 따르면 인가된 응력에 의해 압저항변화는 에너지 밴드 Edge의 이동이 일어나 다른 계곡으로의 전자 population에 의한 전자전이 효과(electron transfer effect)와 계곡 에너지의 증가 및 감소에 의한 내부 계곡에서의 산란(intravalley scattering)이 주된 요인으로 설명되고 있다. 그러나 p형 실리콘은 n형 실리콘에 비하여 매우 복잡하다. Hensel과 Feher[6]의 연구에 의하면 인가된 응력에 의해 heavy-hole 및 light-hole밴드는 분리되게 되고, 두 밴드는 이방성 질량 파라미터를 가진 편장(prolate)되고 편원(oblate)된 타원형의 에너지 표면을 나타내게 된다. 결국 저항 변화는 질량 변화와 정공천이 (hole transfer)로부터 발생하게 된다.

길이, 폭 및 두께가 각각 l, w, 및 t이고, 저항률이  $\rho_o$ 인 직육면체 도체의 저항  $R_o$ 는 다음과 같다.

$$R_o = \rho_o \frac{l}{wt} \tag{1}$$

도체에 변형이 일어날 때 저항변화율  $\Delta R / R_o$ 은

$$\frac{\Delta R}{R_o} = \frac{\Delta l}{l} - \frac{\Delta w}{w} - \frac{\Delta t}{t} + \frac{\Delta \rho}{\rho_o} \tag{2}$$

로 표현된다. Poisson's ratio  $\lambda$ 를 도입하면

$$\frac{\Delta w}{w} = -\frac{\Delta t}{t} = -\lambda \frac{\Delta l}{l} \tag{3}$$

단위변형(strain)에 대한 도체의 저항 변화율, 즉 변형 게이지 계수(strain-gauge factor) G는

$$G = \frac{\Delta R}{R_o} = 1 + 2\lambda + \frac{\Delta \rho}{\rho_o} \tag{4}$$

이다. 여기서  $\epsilon = \Delta l / l$ 로서 변형을 나타낸다. 식 (4)의 우변  $(1+2\lambda)$ 항은 도체의 크기변형

에 의한 저항 변화 분이며 금속 변형게이지에서 우세한 항이다. 마지막 항 ( $\frac{\Delta \rho}{\rho_0}$ )은 압저항 효과에 의한 저항률 변화에 의한 항이며, 반도체 게이지에서 지배적인 항이다. 반도체에서는 저항률 변화에 의한 효과가 크기 변형에 의한 항보다 약 50배 이상 크므로 앞의 두 항은 무시할 수 있다. 이 효과를 기술하기 위한 압저항 계수  $\pi$ 는 4차원의 텐서(tensor)로 나타낼 수 있다. 일반적인 응력(stress)은 2차원의 텐서이며  $\sigma_{kl}$ 로 나타낼 수 있으며 전류 밀도  $J$ 와 전기장  $E$ 는 2차원 텐서인 전도도  $\sigma_{ij}$ 에 관련된다. 따라서 반도체에 응력  $\sigma$ 가 인가될 때의 저항 변화율은 다음과 같이 표현할 수 있다.

$$\frac{\Delta R}{R} = \frac{\Delta \rho}{\rho_0} = \sum_{k,l} \pi_{ijkl} \sigma_{kl} \quad (5)$$

여기서  $\pi_{ijkl}$ 은 압저항 계수이며,  $\sigma_{kl}$ 은 응력성분이다. 실리콘의 경우 저항률  $\rho_{ij}$ 는 대칭 행렬이므로 계수  $ij$  및  $kl$ 을 다음과 같이 간단히 표현할 수 있다.

$$[ 11 \ 22 \ 33 \ 23(32) \ 31(13) \ 12(21) ] = [ 1 \ 2 \ 3 \ 4 \ 5 \ 6 ] \quad (6)$$

따라서 식 (6)을 이용하여 식 (5)를 간단히 하면

$$\frac{\Delta R}{R} = \frac{\Delta \rho}{\rho_0} = \sum_{\lambda=1}^6 \pi_{\omega\lambda} \sigma_{\lambda} \quad (7)$$

로 된다. 실리콘은 입방결정이므로 압저항 계수  $\pi_{\omega\lambda}$ 는 3개의 독립된 값  $\pi_{11}$ ,  $\pi_{12}$  및  $\pi_{44}$ 만을 가진다. 여기서  $\pi_{\omega\lambda}$ 는 전장 및 전류의 방향이  $\omega$ , 응력의 방향이  $\lambda$ 일 때의 압저항 계수를 나타내며, 다음과 같이 텐서로 표현된다.

$$\pi_{\omega\lambda} = \begin{matrix} \pi_{11} & \pi_{12} & \pi_{12} & & & \\ \pi_{12} & \pi_{11} & \pi_{12} & & & \\ \pi_{12} & \pi_{12} & \pi_{11} & & & \\ & & & \pi_{44} & & \\ & & & & \pi_{44} & \\ & & & & & \pi_{44} \end{matrix} \quad (8)$$

여기서 압저항계수들  $\pi_{11}$ ,  $\pi_{12}$ ,  $\pi_{44}$ 의 대표적인 값( $10^{-12} \text{ cm}^2/\text{dyne}$ )은 n형 실리콘( $11.7 \Omega\text{cm}$ )에 대해서는 -102.2, 53.4, -13.6이고, p형 실리콘( $7.8 \Omega\text{cm}$ )에 대해서는 6.6, -1.1, 138.1이다.

실리콘과 같이 대칭성을 가지는 재료에 대해서 응력  $\sigma$ 에 대한 결정축 방향의 전장  $E_i$ 와 전류 밀도  $J_i$ 는 다음과 같은 관계가 성립된다.

$$\frac{E_i}{\rho_0} = (1 + \pi_{\omega\lambda} \sigma_{\lambda}) J_i \quad (9)$$

따라서 결정축 방향의 전장  $E_1, E_2, E_3$ 는

$$\frac{E_1}{\rho_0} = J_1[1 + \pi_{11}\sigma_1 + \pi_{12}(\sigma_2 + \sigma_3)] + \pi_{44}(J_2\sigma_6 + J_3\sigma_5) \quad (10)$$

$$\frac{E_2}{\rho_0} = J_2[1 + \pi_{11}\sigma_2 + \pi_{12}(\sigma_1 + \sigma_3)] + \pi_{44}(J_1\sigma_6 + J_3\sigma_4) \quad (11)$$

$$\frac{E_3}{\rho_0} = J_3[1 + \pi_{11}\sigma_3 + \pi_{12}(\sigma_1 + \sigma_2)] + \pi_{44}(J_1\sigma_5 + J_2\sigma_4) \quad (12)$$

로 표시된다. 여기서 첨자 1, 2, 3은 결정축 방향을 나타내며  $\rho_0$ 는 응력이 없을 때의 저항률을 나타내고  $\sigma_1, \sigma_2, \sigma_3$ 은 축 방향의 응력을,  $\sigma_4, \sigma_5, \sigma_6$ 은 전단응력을 나타낸다. p형 실리콘의 경우, 임의 방향에서의 종 압저항 계수  $\pi_l$ 과 횡 압저항 계수  $\pi_t$ 는 (100)면의 웨이퍼에서는 <110>방향이며, (110)면의 웨이퍼에서는 <111>방향이며, 압저항기를 배치 설계할 때에 이를 고려하여 설계를 하여야 한다. 반면에 (111)면의 웨이퍼에서는 압저항 계수는 방향에 따라 무관하며 일정한 값을 가진다.

응력 분포 해석 프로그램인 코스모스 M을 사용하여 압력에 따른 응력 값을 구하여 저항 값의 변화를 알아내고 수식을 이용하여 휘스톤 브리지의 출력 값을 전압으로 표현할 수 있다. 저항의 배열을 그림 1과 같이 할 경우의 휘스톤 브리지의 입력전압(V)에 대한 출력 전압( $\Delta V$ )관계는 다음과 같다.[7,8]

$$\Delta V/V = [(\Delta R/R)_{11} - (\Delta R/R)_{12}] / [2 + (\Delta R/R)_{11} + (\Delta R/R)_{12}] \quad (13)$$

압력 증가에 따른 응력의 증가에 따라 수평<110>방향 가장자리에 수직으로 배치된 수직 압저항기의 저항( $R_{11}$ )은 증가하지만, 수직<110>방향의 가장자리에 평행하게 배치된 수평 압저항기의 저항( $R_{12}$ )은 감소하여 최대의 감도를 얻을 수 있다.

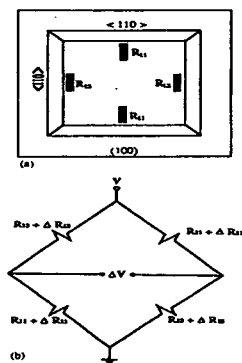


그림 1. 다이아프램 위의 압저항기의 배치도.

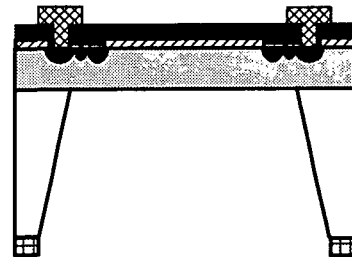


그림 2. 다이아프램의 단면도.

그림 2는 센서의 단면도이다. 그림 3과 4는 두께  $20\mu\text{m}$  크기  $1\text{mm} \times 1\text{mm}$ 인 다이아프램에 대해 응력 해석 시뮬레이터인 COSMOS-M에 의해 모의 실험한 응력 분포를 보여 주

고 있다. 압저항기를 응력이 최대인 가장자리에서 조금 떨어진 부분에 위치시켜야 한다. 상하의 가장자리에는 변과 수직되게, 좌우의 가장자리에서는 변과 나란하게 배치한다.

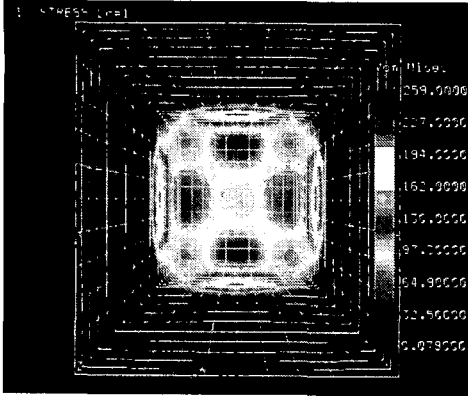


그림 3. 전체 다이아프램 위의 응력 분포도

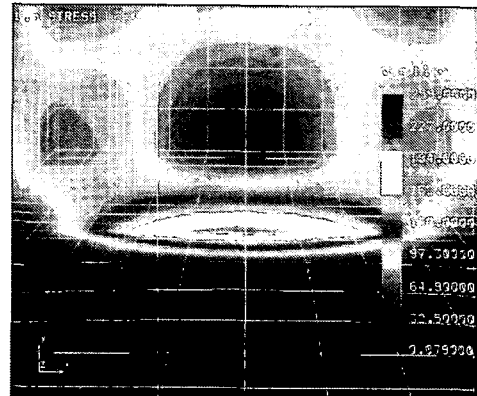


그림 4. 밀변에서의 확대된 응력분포도

압저항형 압력센서 브리지의 출력관계는 COSMOS-M 프로그램으로 모의실험하여 압력과 응력, 응력과 저항관계를 이용하여 계산할 수 있다. 설계한 압력 센서는 두께  $20\mu\text{m}$ , 크기  $1\text{mm}\times 1\text{mm}$  다이아프램 위에  $60\mu\text{m}$  길이의 압저항기들을 배치할 경우에  $25^\circ\text{C}$  온도에서  $0.8\text{ psi}$  압력을 인가할 때에  $5\text{V}$  입력 전압에 대한 브리지의 입력 전류는  $1.5\text{mA}$ 이고, 출력전압은  $50\text{mV}$ 이고, 브리지 임피던스는  $3.3\text{k}\Omega$ 이 나왔다. 다이아프램 설계 시에 온도변화와 오프셋 전압의 보상을 위해 두 개의 휘스톤 브리지의 형태로 설계하여 상당히 보상을 시킬 수가 있지만 본 연구에서는 아직 포함하지 않았다.[3, 7, 8]

### 3. 신호처리회로의 설계

주변 전자회로는 압력 센서의 출력 전압을 증폭하기 위한 CMOS op-amp 회로, 증폭된 아날로그 신호를 디지털로 변환하는 8-bit A/D 변환기, 디지털 출력을 마이크로프로세서에 보내기 위한 UART회로 등이 필요하다.

#### 3.1. CMOS op-amp 설계

먼저 CMOS op-amp회로를 설계하기 위해 필요한 조건과 특성들은 전압이득=200배 이상,  $GB=1\text{Mhz}$ ,  $SR>5\text{V}/\mu\text{s}$ ,  $CMR=\pm 3\text{V}$ ,  $C_L=22.5\text{pF}$ , supply voltage =  $\pm 5\text{V}$ ,  $V_{out\text{swing}}=\pm 5\text{V}$ 로 가정하였다. 설계된 CMOS op-amp 회로도에는 그림5에 있다. 이 op-amp회로는 중앙부에 차동증폭단, 우측 부에 주파수 응답 보상 회로와 출력단, 좌측 부에는 바이어스회로로 구성되어 있다. 그림5를 보면 중앙부에 있는 차동 증폭단에는 M1과 M2는 NMOS 입력 트랜지스터이고, 중앙 상부의 PMOS M3과 M4는 전류원이고 중앙하단부의 NMOS M5는 공통성분 소거비를 증가하기 위해 사용하였다. 가장 우측에는 PMOS M6, NMOS M7은 출력 단으로 A급 증폭

기이다. 왼쪽 두 번째 열의 NMOS M9, PMOS M10, PMOS M11은 전압분배역할의 바이어스 회로이다. 우측 두 번째 열의 커패시터 CAP와 PMOS M8은 주파수 응답 특성을 향상시킨다. 각 트랜지스터의 크기는 채널 길이(L)는 1 $\mu$ m로 고정하고 채널 폭(W또는 W/L)은 NMOS M1, M2는 80, PMOS M3, M4는 1.5, NMOS M5는 2.2, PMOS M6은 8.2, NMOS M7은 6.5, PMOS M8은 3, NMOS M9는 0.8, NMOS M12는 1.4, 그 외의 M10, M11, M13, M14, M15는 1로 설계하였다. 이렇게 설계된 op-amp의 주파수에 따른 전압 이득 특성은 그림 6에 보였다. 최대 전압 이득은 저주파수에서는 200(40dB)인데 120kHz에서는 -3dB만큼 감소하였고, 위상 여유 도는 100kHz에서 100도 정도이고 전력소모는 6.4mW이다.

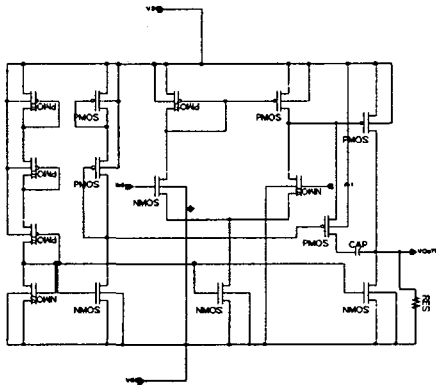


그림5. op-amp 회로

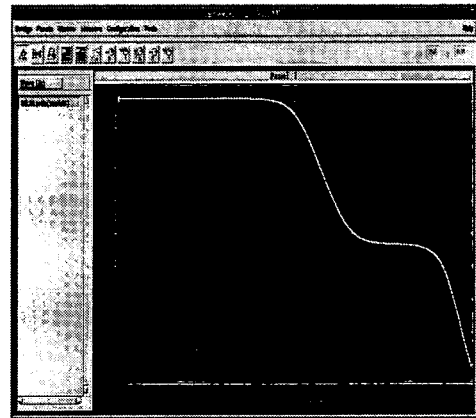


그림6. 모의 실험된 op-amp의 이득곡선

### 3.2. 8-bit neuron MOS A/D 변환기 설계

필요한 8-비트 subranging A/D 변환기는 다중 제어 입력 게이트와 공통 부유 게이트를 가진 NMOS 트랜지스터인 neuron MOSFET 구조를 이용하여 설계하였다. subranging A/D 변환기의 구조는 대개 8 비트 정도의 해상도를 갖는 고속 A/D 변환기로 많이 사용된다. 플래시 8비트 A/D 변환기에서는 256개의 전압비교기 또는 전류 비교기가 필요하며, 소모전력이 상당히 높다. 해상도를 증가시키기 위해서 한 비트를 추가 할 때마다, 플래시 A/D 변환기 회로의 크기는 2배씩 증가하게 된다. 그러나 subranging A/D 변환기 구조를 이용하면 면적을 줄이는데 아주 효과적이다[9]. 이 구조는 successive approximation 구조와 병렬 구조의 합성으로 이루어진다. subranging A/D 변환기는 변환속도에 있어서 병렬 구조의 변환기 보다 느리지만 더 높은 해상도를 갖는 변환기로 설계할 수 있다. 4-bit neuron MOSFET A/D 변환기의 구성에는 가변 문턱 인버터와 보통의 CMOS 인버터가 사용된다. A/D 변환기의 출력 비트 수가 N일 때 가변 문턱 인버터의 개수는 다음 식으로 표현된다.

$$\text{가변문턱인버터개수} = 2^{N-1} - 1 \tag{14}$$

위의 식에서 4비트에서의 7개의 가변문턱 인버터가 필요함을 알 수 있다. 그림7에는 4bit neuron MOS A/D변환기를 보여 주고 있다. 설계한 가변 문턱 인버터들의 결합 커패시터 비는 표1에 나타내었다. 표1의 인버터번호는 그림7의 첫 단 인버터번호와 같다. 커패시터의 상대적인 값이 중요하며, 그 값들의 합은 인버터의 가변비에 상관없이 16이 된다. 이것은 모두 16개의 결합 커패시터 요소가 각각의 인버터에 포함되어야 한다는 것을 의미한다. 4-bit A/D 변환기는 CMOS를 이용하면 398개의 트랜지스터가 필요하나, neuron MOSFET를 이용하면 단지 28개의 트랜지스터로만 구성되므로 훨씬 간단한 구조를 갖는다.

그림8에는 neuron MOSFET를 이용한 8-bit A/D 변환기의 블록 도를 보여 준다. 이 변환기는 sampling and hold 회로, 상위 4-bit A/D 변환기, 4-bit D/A 변환기, 감산기와 하위 4-bit neuron MOSFET A/D 변환기와 8-bit 래치로 구성된다. 샘플링된 아날로그 입력이 상위 4-bit A/D 변환기에서 상위 4bit 디지털 출력 값이 생성되고 8-bit 래치에 저장된다. D/A 변환기는 4 입력 16 출력 디코더와 저항 열로 구성되어 있고, 상위 4bit의 아날로그 전압( $V_s(i)$ )을 출력하면 샘플링된 입력( $V_{an}$ )과 감산하여 그 값이 하위 4-bit A/D 변환기에서 변환된다. 이 회로는 20MHz 클럭과 5V에서 동작하도록 하였는데 비선형 에러는 1 LSB이다.

그림9에는 설계된 8-bit neuron MOSFET A/D 변환기를 Cadence로 설계한 레이아웃을 보여 주고 있다. 또 그림 10에는 4-bit neuron MOSFET A/D 변환기의 입력 아날로그 신호가 증가함에 따라 출력 디지털 비트 출력 값들의 변화를 보여 주고 있다.

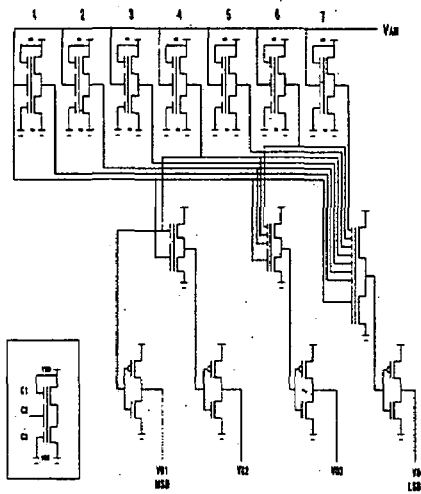


그림 7. 4-bit neuron MOS ADC 회로도

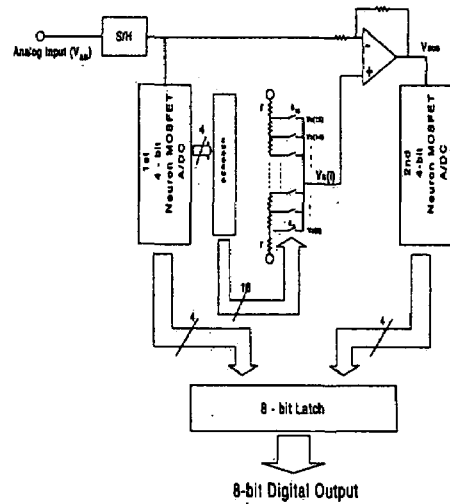


그림8. 8-bit neuron MOS A/D 변환기의 블록도



표1. 가변문턱 인버터의 용량성 결합비

인버터		용량성 결합비		
번호	가변비	$C_1(V_{DD})$	$C_2(V_{DD})$	$C_3(V_{SS})$
1	$1/8 V_{DD}$	7	8	1
2	$2/8 V_{DD}$	6	8	2
3	$3/8 V_{DD}$	5	8	3
4	$4/8 V_{DD}$	4	8	4
5	$5/8 V_{DD}$	3	8	5
6	$6/8 V_{DD}$	2	8	6
7	$7/8 V_{DD}$	1	8	7

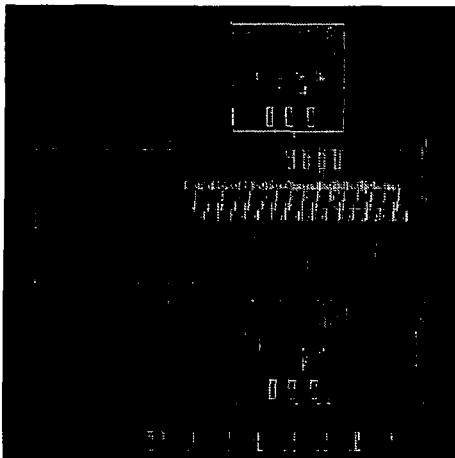


그림9. 8-bit neuron ADC 레이아웃.

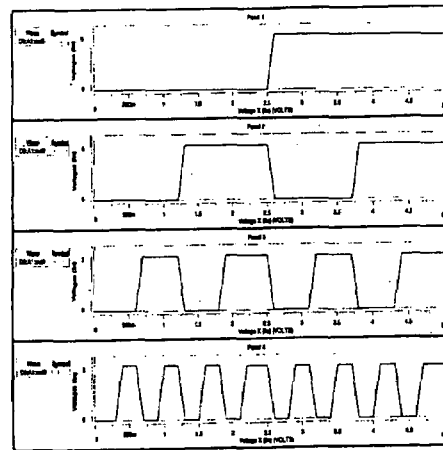


그림10. 4-bit neuron MOS A/D 변환기의 모의실험 결과.

### 3.3 UART 설계

마이크로 프로세서와 연결하여 센서에서 수집된 정보를 처리하게 하기 위하여 버스 인터페이스 회로를 범용 직렬통신으로 구성하였다. 시뮬레이션과 합성은 VHDL 시뮬레이터 및 합성 틀인 시냅시스를 이용하였다. 그리고 셀 라이브러리는 IDEC-C631을 이용하여 합성하였다. 그림 11은 UART의 블록 도이다. 수신은 수신부(RX)로부터 수신완료신호(RXRDY)가 출력되면 8bit 데이터를 UART로부터 읽어 낸다. 이때 프레임링, 패리티,오버런 등의 에러 신호도 함께 출력된다.

그림 12에 UART가 버스에 인터페이스될 때 입출력 제어신호 관계를 보여 주는 타이밍도를 보였다. 그림13 에는 UART 모의실험 결과인데 각각의 신호들에 입력 값을 정해서

예상되는 출력 파형과 같은지 비교하였다. 그림 14는 Synopsys로 합성한 UART 회로도인데 회로도에 관한 netlist를 EDIF 파일로 변환하여 Mentor IC station에서 IDEC의 셀 라이브러리로 레이아웃 하였다.

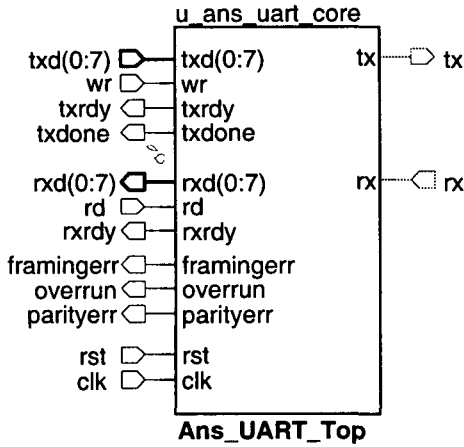


그림 11. UART 블록도.

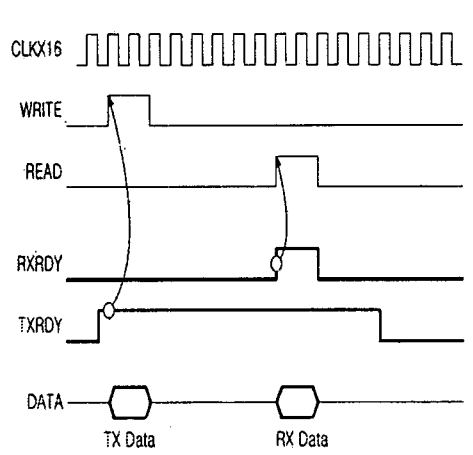


그림12. UART 타이밍도

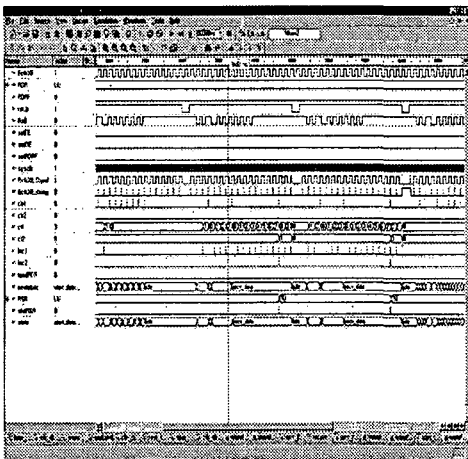


그림 13. UART 모의실험 결과.

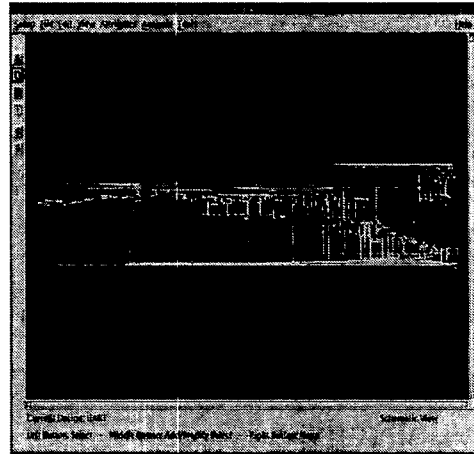


그림14. 합성된 UART 회로도.

## 4. 결론

0.6 $\mu\text{m}$  2-poly 2-metal CMOS 공정에서 구현할 수 있도록 압저항형 스마트 압력센서를 설계했다. 대부분의 스마트 센서는 현재 바이폴라 공정으로 생산되고 있는데, CMOS 센서가 개발되어 마이크로프로세서에 연결하여 응용하면 사용범위가 증대될 수 있다.

다이아프램은 1mm의 정방형이며 두께는 20 $\mu\text{m}$ 이다. 다이아프램 위의 저항기의 길이는 60 $\mu\text{m}$ 이며, 변에서 10 $\mu\text{m}$  안쪽에 위치하도록 설계하였다. 압력변화에 따른 센서의 특성변화를 COSMOS-M 프로그램으로 모의실험하여 다이아프램을 설계하였다. 센서의 출력특성은 압력에 따라 좋은 선형성을 보였다.

op-amp는 압저항형 센서 브리지의 출력 값을 200배 증폭할 수 있도록 설계하였는데, 사양에 맞게 각 트랜지스터의 채널 폭을 조정하여 설계했다. A/D 변환기는 해상도 8-bit로 면적을 최소화하기 위하여 neuron MOSFET A/D 변환기와 subranging 구조를 이용하였다. UART 회로는 검증된 VHDL 소스코드를 사용하고 셀 라이브러리는 IDEC의 0.6 $\mu\text{m}$  셀(IDECC631)들을 이용하여 설계를 하였다

그리고 설계한 op-amp, A/D변환기 및 UART를 하나의 칩 위에 만들어야 하기 때문에 풀 커스텀이 불가피하였다. 우선은 각 부분을 개별적으로 설계를 해서 칩을 제작해 동작 특성을 알아야 한다. 그리고 나서 모든 소자들을 하나의 칩에 구현해야 한다. 본 연구의 설계는 주로 모의 실험에 의존한 것이기에 실제 제작에 있어서는 여러 가지 문제점이 있을 수 있다. 다이아프램의 설계에 있어 특정범위의 압력과 온도범위에서의 모의실험이었기에 다른 응용분야에서 상용하기 위해서는 새로운 설계 개념이 필요하다. 온도범위와 압력범위의 변동을 해결하기 위해 프로그램 가능한 op-amp가 설계되면 좋을 것이다. 또한 전류의 변화가 생기기 때문에 전류에 따른 증폭도를 제어할 수 있는 op-amp의 설계도 필요하다. 다른 방법으로는 ADC의 입력범위를 가변할 수 있도록 하는 방법도 고려해 볼 수 있지만, 아직까지 이 기술은 바이폴라 공정에 국한되어 있기 때문에 CMOS로 가능하도록 구현한다면 여러 압력범위에서 사용할 수 있는 압력센서를 만들 수 있을 것이다.

온도 보상 회로와 오프셋 전압 문제는 아직 포함시키지 않았다. 본 연구에서의 설계 상에서 문제점은 풀 커스텀과 세미 커스텀의 복합 형식을 취하고 있어서 실제로 제작한 후에 문제점이 있을 수 있다.

감사의 글

본 논문을 위해 도움을 주신 한국전자 연구팀에 감사드립니다.

#### IV. 참고문헌

1. S. Middelhoek, P.J. French, J.H. Huijing and W.J Lian "Sensors with digital or Frequency Output" Sensors and Actuators 15(1988), pp.119-133
2. K.M. Mahmoud, R.P. van Kampen, M.J. Rutka and R.F. Wolffenbuttel "A Silicon Intergrated Smart Pressure Sensor"
3. Young-Tae Lee, et al, "Compensation Method of Offset and Its Temperature Drift in Silicon Piezoresistive Pressure Sensor Double Wheatstone-Bridge Configuration", 8-th Int. Conf. on Solid State Sensor and Actuator and Eurosensors IX , Stocholm, Sweden,(1995)
4. C. Herring, "Transport Properties of Many-valley Semiconductor", Bell Sys. Tech. J., vol.34,pp237-290, (1950).
5. C. Herring and E. Vogt, "Transport and Deformation-potential Theory for Many-valley Semiconductors with Anisotropic Scattering", Phys. Rev., vol.101, no.3, pp.944-961, (1956)
6. J.C. Hensel and G. Feher,"Cyclotron Resonance Experiments in Uniaxially Stressed Silicon", Phys. Rev., vol. 129, no. 3, pp. 1041-1062,(1963)
7. H.E. Elgarnel, "Closed-form expression for the relationships between stress, diaphragm deflection, and resistance change with pressure in silicon piezoresistive", Sensors and Actuators A 50(1995) pp.17-22
8. Qu Hongwei, Yao Suying, Zhang Rong, Mao Ganru, Zhang Weixin "Polysilicon Piezoresistive Pressure Sensor and Its Temperature Compensation"
9. 박 한 길, "8-bit Neuron MOS A/D 변환기 설계", 울산대 석사학위논문 (1996)