

K-band 송수신기용 Balanced 방식의 4체배 발진기 설계

조동진 · 최재하
전기전자 및 자동화공학부

<요약>

본 논문에서는 push-push 방식을 이용하여 K-밴드용 4체배 발진기를 설계하였다. 본 논문에서 적용된 push-push 방식은 짝수 고조파를 증폭시키고 홀수 고조파를 상쇄시킬 수 있는 평형구조이다. 평형방식은 다른 고조파로부터의 격리도를 증가시켜 잡음을 감소시킬 수 있다. 또한 2체배 방식 대신 4체배 방식을 적용함으로써 K-밴드에서 VCO의 정확한 발진에 사용할 수 있다. 그 결과, 평형방식의 4체배 발진기는 밀리미터파 대역에 응용할 수 있을 것이다. 6GHz 발진주파수의 4체배로 설계된 발진기는 24GHz에서 -15dBm 정도의 출력을 얻을 수 있었다.

Design of a Balanced Quadrupler Oscillator for K-Band Transceiver

Dong-Jhin Jho, Jae-Ha Choi
School of Electrical Eng. and Automation., Univ. of Ulsan.
E-mail: electron@munsu.ulsan.ac.kr

<Abstract>

In this paper, a quadruple oscillator for K-band is designed by using a push-push method. The push-push method applied in this paper is the balanced type that can amplify even harmonic frequencies and cancel odd harmonic frequencies. The balanced type increases the isolation from other harmonic frequencies, so reduce the noise. More

over, the proposed oscillator can be used as a VCO for K-band by applying quadrupler instead of a doubler, as the quadrupler has better performance in oscillation for K-band. Consequently, it can be possible for the quadruple oscillator to be used for millimeter-wave band. The designed oscillator has an output power of -15dBm at 24GHz which is quadruple of 6GHz oscillation.

I. 서론

26GHz대역의 광대역 무선자원을 이용해 초고속 인터넷, 영상전화, 주문형 비디오 등 다양한 멀티미디어 서비스를 제공할 수 있는 효율적이고 경제적인 초고속 가입자망 BWLL(Broadband Wireless Local Loop)은 주로 북미 지역을 중심으로 발전해 왔다. 국내에서도 곧 표준안을 확정하여 상용 서비스를 할 예정이다.

초고속 통신망 구축으로 방송과 통신의 결합으로 이어질 차세대 전송망인 BWLL의 세계시장규모는 급격하게 증가할 것으로 예상된다. 따라서 국내의 부품기술의 개발이 절실한 상태이고 현재 BWLL의 가입자 장치 가격의 70% 이상이 RF부의 가격이므로 밀리미터파 부품을 저가화, 국산화하는 것이 필요하다.

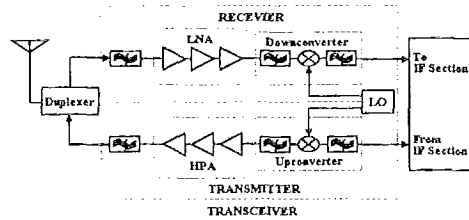


그림 1. BWLL RF 부분 시스템 블록도

BWLL에서 요구하는 Transmit Hybrid Module은 C-band VCO와 Solid-State Multiplier, Octave-band MMIC Amplifier, Frequency Synthesizer 등으로 구성된다. BWLL의 RF부분 시스템 블록도를 그림1에 나타내었다.[1] 본 논문에서는 BWLL 시스템 중 Solid-State Multiplier 부분을 Low Side Injection인 24GHz 대역에 발진 주파수를 맞춘 Push-push방식의 4체배기를 설계하여 저위상 잡음과 안정성을 갖춘 발진기를 유전율 2.48인 Teflon기판에 적합하도록 설계하였다.

II. 능동주파수 체배기 이론

주파수를 체배하는 회로는 다이오드로 구성되는 수동주파수 체배기와 트랜지스터로 구성되는 능동 주파수 체배기 회로로 나눌 수 있다. 수동주파수 체배기는 손실이 많고 변환 효율이 낮다는 최대의 단점을 가지고 있다. 다이오드 주파수 체배기가 이론적으로 비록 100%의 변환효율을 가진다 하더라도 $1/n$ (n :고조파의 수)만큼의 변환 효율만 나온다면 다

행이다.

다행히 FET나 BJT를 사용하여 성능이 뛰어난 주파수 체배기를 만들 수 있다. 이것들의 잡음 레벨은 매우 작고, 광대역 특성을 보이며, 변환이득까지 생성해 낸다.

그림 2는 이상적인 두 종류의 주파수 체배기를 비교하고 있다. (a)에서는 수동 소자를 사용하였으며 낮은 dc-to-RF 효율과 큰 손실 때문에 증폭기를 달아서 출력전력이득을 높였으므로 더 많은 dc 전력소모를 초래한다. 반면에 (b)의 능동 소자 체배기에서는 높은 효율과 저손실, 낮은 dc 전력소모를 실현할 수 있다.

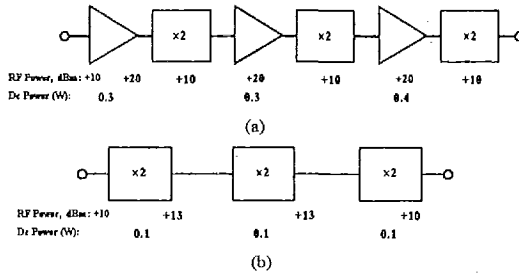


그림 2. 주파수 체배기 비교

- (a) 낮은 dc-to-RF 효율 때문에 증폭기를 단 수동체배기
- (b) 높은 변환효율과 저손실 고효율의 능동체배기

그림 3은 이상적인 능동 FET 체배기 회로이다. ω_1 에서 RF 소스에 의해 구동된 게이트와 게이트 바이어스, V_{gg} 가 적용된 것을 보여준다. 드레인과 게이트에서 기생 커패시턴스 성분은 튜닝된 회로로 흡수되고, 단순히 기생저항은 무시한다고 가정한다. 또 다른 드레인의 LC회로는 여기주파수 하모닉 ω_n 에 튜닝되었고, $\omega_n = n\omega_1$ 이다.[2]

이 튜닝된 회로는 부하 R_L 과 채널을 통한 드레인 전압의 n 차 하모닉 성분을 허용한다. dc 바이어스는 소신호 증폭에서처럼 일반적인 적용의 FET사용을 위한 값과 같으며 게이트 바이어스는 문턱전압보다 좀 더 부정확을 갖도록 낮게 설정된다. 그림 4는 체배기에서의 파형을 보인 것이다. FET는 게이트 전압이 문턱전압 V_p 일 때는 언제나 펄스로 전도된다.

드레인-전류 펄스의 듀티 사이클은 게이트 바이어스를 바꿈으로써 조정할 수 있다. 명백한 것은 최상의 효율을 얻기 위해 가능한 한 최대가 되는 피크 드레인 전류를 얻는 것이다. 그래서 $V_g(t)$ 는 $V_{g,max}$ 에서 피크여야 한다. 더 짧은 듀티 사이클은 더 높은 하모닉을 위해 필수적이고 더 많은 부정확의 V_{gg} 와 RF입력전압을 필요로 한다.

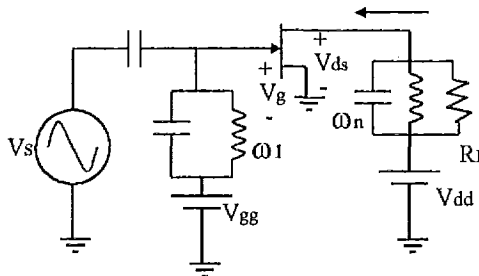


그림 3. 이상적인 FET 주파수 체배기

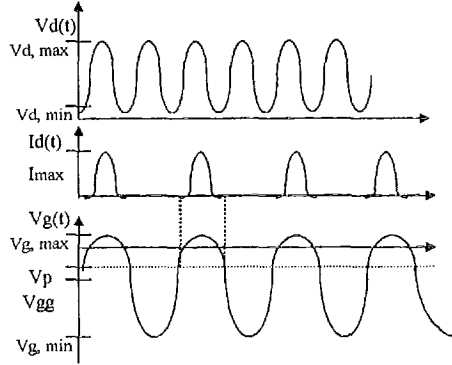


그림 4. FET 주파수 체배기에서 전압 전류파형

드레인-전류 펄스는 여현파의 정류된 펄스의 열로서 모델화 될 수 있다. 시간축은 임의로 정할 수 있다. 그러므로 펄스는 푸리에 급수에서 위상항을 제거하기 위해 $t=0$ 인 곳을 중심에 두었다. 드레인 전류는

$$I_d(t) = I_0 + I_1 \cos(\omega_1 t) + I_2 \cos(\omega_2 t) + \dots \quad (1)$$

이고, 여기서 I_n 은 n 번째 고조파 전류 성분이며 다음과 같다.

$$I_n = I_{max} \frac{4t_0}{\pi T} \left| \frac{\cos(n\pi t_0/T)}{1 - (2nt_0/T)^2} \right|$$

$$= I_{max} \frac{2t_0}{\pi T} \quad n > 0 \quad (2)$$

여기서 I_{max} 는 최대 채널 전류이며 t_0 는 펄스의 길이이고, T 는 기본 주파수의 주기이다.

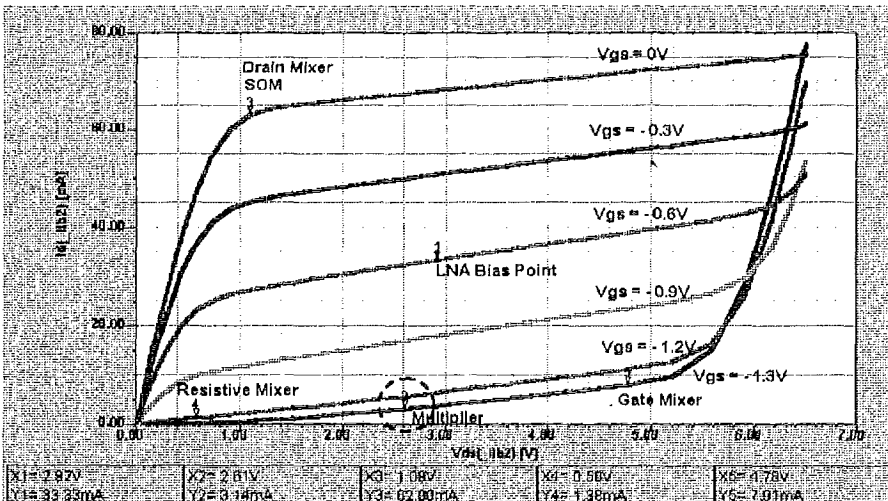


그림 5. 체배기의 바이어스 포인트

그림 5는 대표적인 마이크로파 소자의 바이어스 포인트를 나타내고 있다. 그림에서 2로 표시된 부분이 체배기의 바이어스 포인트이며, 드레인 전류가 거의 흐르지 않는 문턱전압 수준을 나타내고 있다. 이렇게 하여 2주기만에 한 번씩 사인파를 그리며 듀티 사이클이 짧아져 결국 고조파 성분들을 출력단에서 만들어 내게 된다.[3]

이러한 능동 체배기의 dc-to-RF 효율은

$$P_{dc} = I_0 V_{dd}$$

$$= \frac{2t_0}{\pi T} I_{max} V_{dd} \quad (3)$$

$$P_{L,n} = \frac{1}{2} I_n^2 R_L$$

$$= \frac{1}{4} I_n (V_{d,max} - V_{d,min}) \quad (4)$$

에서 나타낸 dc 전력 P_{dc} 와 n번째 고조파의 출력 $P_{L,n}$ 과의 비이다.

이러한 능동 체배기의 효율은 좋은 변환 이득을 가져온다.

III. 4체배 공진 발진기 설계

BWLL 시스템을 위한 Transmit Hybrid Module은 C-band VCO와 Solid-State Multiplier, Octave-band MMIC Amplifier, Frequency Synthesizer등으로 구성되어진다.

그 중 본 논문에서는 Solid-State Multiplier를 4체배 발진기로 설계하였다. C-band VCO에서 6GHz로 정확히 튜닝된 발진주파수는 BWLL의 주파수대역인 24GHz로 체배되어야 하는데 효율을 높이고 위상잡음은 줄이기 위해 평형 방식을 사용하였다.

설계는 GaAs MESFET를 이용한 단일 공진 발진기로부터 시작한다. 소자는 2-16GHz 범용 소자인 Avantek-ATF13736을 사용하였으며 상온에서의 전기적인 특성은 표1과 같다.

기호	파라미터와 테스트 조건	값
NF _o G _A	최적의 잡음지수: f=6GHz	1.3dB
	V _{DS} =2.5V, I _{DS} =15-30mA 이득@NF _o : V _{DS} =2.5V, I _{DS} =15-30mA	13dB
P _{1dB}	출력전력@1dB 이득압축: f=12GHz V _{DS} =4V, I _{DS} =40mA	17.5dBm
g _m	전달컨덕턴스: V _{DS} =2.5V, V _{GS} =0V	55mmho
I _{DSS}	포화드레인 전류: V _{DS} =2.5V, V _{GS} =0V	50mA
V _P	문턱전압: V _{DS} =2.5V, I _{DS} =1mA	-1.5V

표1. ATF-13736의 전기적인 특성

(1) Hair-pin line 공진기 설계

BWLL에서는 VCO에서 발진한 신호를 체배해야 하지만 일반적인 K-band용 송수신기를 위해 크기가 작은 Hair-pin line 공진기를 설계하여 대역제거필터의 특성을 가지도록 설계하였다.

설계한 필터의 최소 선폭은 제작 가능하도록 4mil이 되게 하였고, 약 $2.6\text{mm} \times 4.75\text{mm}$ 정도의 크기로 설계하였다.

그림 6에서 보는 바와 같이 시뮬레이션 결과 6GHz에서 약 40dB의 높은 삽입손실을 보여주었다.

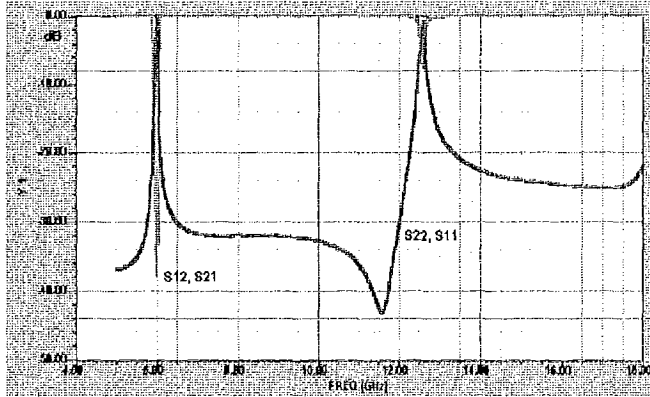


그림 6. 공진기의 출력결과

(2) 케환회로의 설계

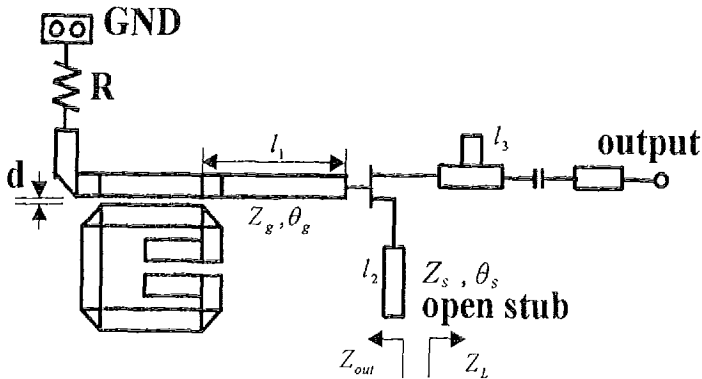


그림 7. Hair-pin 공진 발진기의 직렬케환구조

케환회로는 MIC에서 제작이 용이한 직렬케환구조로 하였으며 FET의 소스 단자에 직렬로 케환회로를 부가하여 그림7과 같은 구조로 설계하였으며, 케환회로를 설계하는 순서는 그림 8과 같다.[4][5]

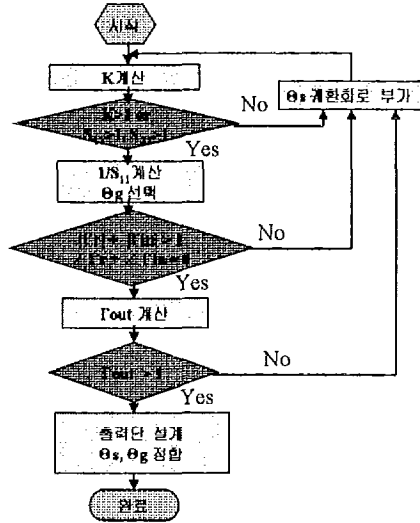


그림 8. 케환회로 추가 순서도

(3) 발진기회로 설계

전체회로는 평형 방식인 Push-push 방식으로 설계되었는데, Push-push 발진기 동작은 각 트랜지스터가 기수 모드(Odd mode)동작이 되어야 하며, 결합된 공진기가 각 소자에 대해 180° 위상차가 나도록 유도해야 한다.

이러한 Push-push 발진기는 출력단에서 Wilkinson Combiner로 3dB 전력결합하였고, 2체배를 줄이기 위하여 출력단에 다시 대역통과 및 대역제거 필터를 달아서 4체배를 출력할 수 있도록 하였다.[6][7]

발진 회로의 개략도를 그림 9에 나타내었다.

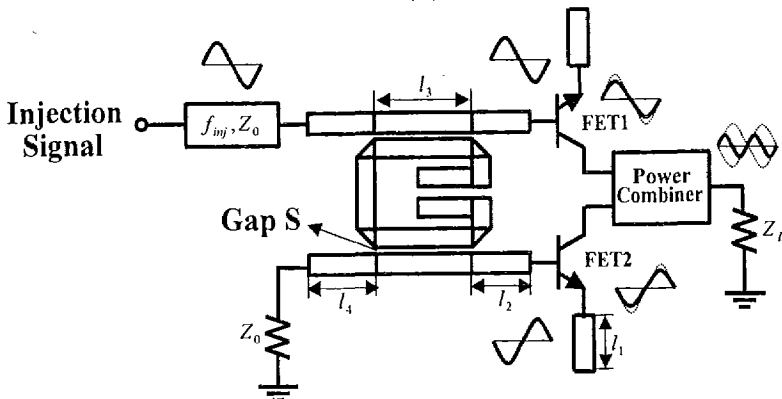


그림 9. Push-push 발진기의 개략도

그림 10은 전체회로도를 보인 것이다.

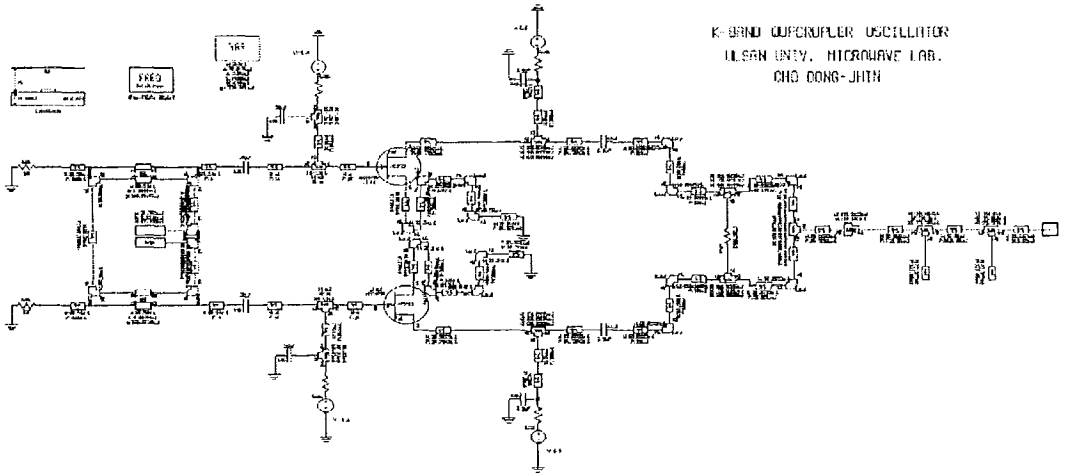


그림 10. 전체 회로도

IV. 결과

유전율 2.48, 기판두께 10mil인 Teflon Duroid 계열의 기판을 사용하여 설계된 4체배 발진기의 layout도를 그림 11에 나타내었으며, 그림 12에서 보는 바와 같이 24GHz에서 약 -15dBm의 출력을 나타내었고 고조파간에 70dB 이상의 높은 격리도를 보여 주었다.

또한 출력 전압과 전류의 발진이 왜곡없이 정확하게 발진이 되었다.(그림 13)

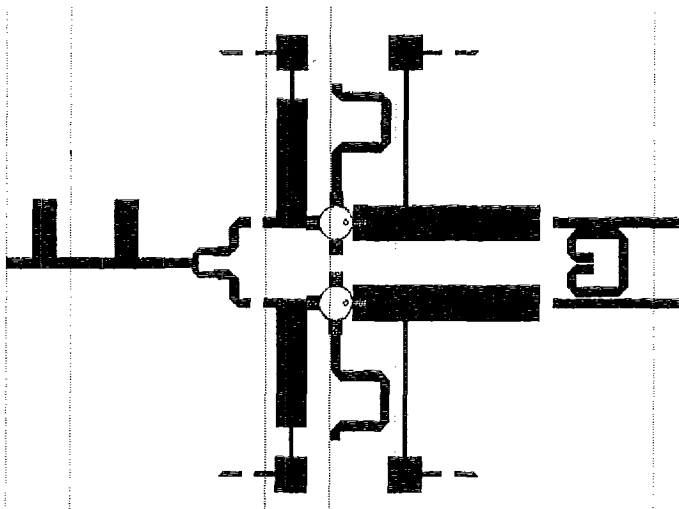


그림 11. 전체 Layout

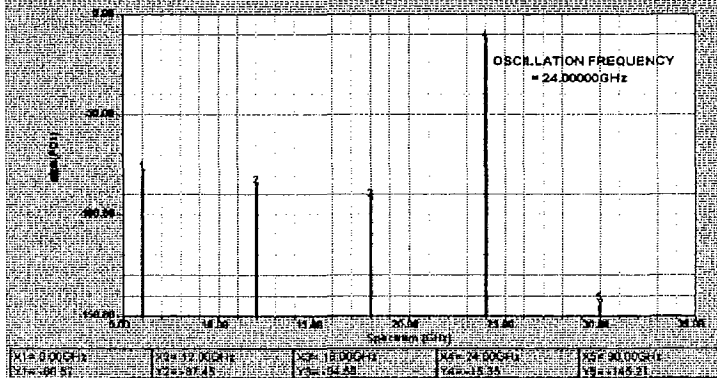


그림 12. 최종회로의 발진 스펙트럼

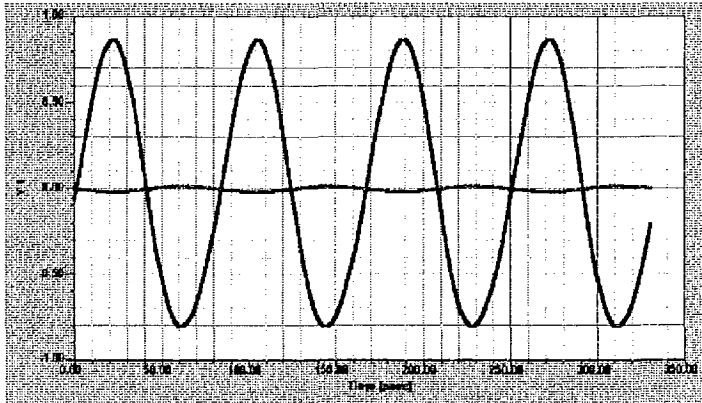


그림 13. 시간영역에서의 출력전압과 전류의 파형

V. 결론

본 논문에서는 C-band의 VCO를 K-band 대역으로 주파수를 체배하기 위해 안정된 발진을 하고 낮은 위상잡음을 갖는 평형 방식의 Push-push 형태의 부고조파 발진기를 설계하여 BWLL등에 적용할 수 있도록 하였다.

실제로 시스템에서 요구하는 정확한 발진을 위해서는 VCO를 달아야 하지만 본 논문에서는 Compact Hair-pin 공진기를 이용하여 공진시켰으며, 기존의 2체배에 그치는 한계에서 벗어나 평형 방식으로 4체배를 시켜 K-band대역에서 VCO의 정확한 발진을 이용할 수 있도록 하였다.

또한 4체배를 함으로써 MESFET이 가지는 한계주파수를 초월하여 사용할 수 있게 되고 16GHz가 한계주파수라면 최대 64GHz까지 사용할 수 있다는 셈이 된다.

물론 4체배 이상으로도 체배할 수는 있지만 전력효율이 많이 떨어질 것으로 예상된다.

기존의 2체배 방식은 C-band의 VCO를 바로 반송주파수로 바꿀 수 없으며, 소자가 가진 주파수 사용효율이 낮다. 또한 평형 방식이 아닌 단일 방식으로는 다른 고조파와의 격리도가 낮아서 잡음이 큰 단점이 있다. 그래서 본 논문에서는 이러한 문제들을 개선한 평형 방식의 4체배기를 설계 및 제작하였다.

또한 이러한 원리를 밀리미터파에서 응용한다면 마이크로파 소자가 가진 한계를 많이 극복할 것이다.

VI. 참고문헌

- [1] Eric Holzman, "Solid-State Microwave Power Oscillator Design", Artech House, 1992.
- [2] Allen Sweet, "MIC & MMIC Amplifier and Oscillator Circuit Design", Artech House, 1990.
- [3] Stephen A. Maas, "The RF and Microwave Circuit Design Cookbook", Artech House, 1998.
- [4] Behzard Razavi, "RF Microelectronics", Prentice Hall, 1998.
- [5] Xiangdong Zhang and Yong-Hoon Yun, "A DC to X-Band Frequency Doubler Using GaAs HBT MMIC" IEEE MTT-S Digest, pp.1213-1216, 1997.
- [6] Tadao Nakabawa, Hiroshi Okazaki, and Yo Yamaguchi, "A Low-Power X-band Frequency Synthesizer Module", IEEE MTT-S Digest, pp. 1209-1212, 1997.
- [7] 이주열, "ILPLL을 위한 K-Band용 Push-Push 부고조파 주입동기 발진기", 광운대 박사학위 청구논문, 1996.